

PCT/JP00/08323

JP 00/8323 日 本 国 特 許 庁
EUV
PATENT OFFICE
JAPANESE GOVERNMENT

REC'D 19 JAN 2001

WIPO

PCT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

2000年 5月29日 ✓

出 願 番 号
Application Number:

特願2000-157907 ✓

出 願 人
Applicant(s):

松下電器産業株式会社

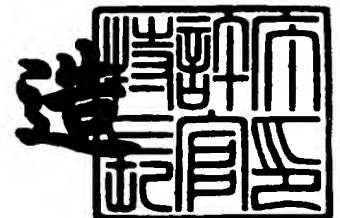
097889585

PRIORITY
DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2001年 1月 5日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2000-3108586

【書類名】 特許願
 【整理番号】 2110020048
 【提出日】 平成12年 5月29日
 【あて先】 特許庁長官殿
 【国際特許分類】 H04N 5/66
 【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 武藤 泰明

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 丹羽 彰夫

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 東 琢磨

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 若原 敏夫

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 関口 裕二

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 森田 友子

【特許出願人】

【識別番号】 000005821
【氏名又は名称】 松下電器産業株式会社
【代表者】 森下 洋一

【代理人】

【識別番号】 100098305
【弁理士】
【氏名又は名称】 福島 祥人
【電話番号】 06-6330-5625

【選任した代理人】

【識別番号】 100109438
【弁理士】
【氏名又は名称】 大月 伸介

【先の出願に基づく優先権主張】

【出願番号】 平成11年特許願第345430号
【出願日】 平成11年12月 3日

【手数料の表示】

【予納台帳番号】 032920
【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 0006013

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 映像信号変換装置

【特許請求の範囲】

【請求項 1】 入力される映像信号を表示装置に適合する映像信号へ変換する映像信号変換装置であって、

映像信号を記憶する記憶手段と、

入力される映像信号を前記記憶手段に書き込むための書き込み制御信号および前記記憶手段に記憶されている映像信号を読み出すための読み出し制御信号を前記記憶手段へ出力し、前記記憶手段への映像信号の入出力を制御するとともに、前記記憶手段に記憶されている映像信号の垂直周波数を変換する垂直周波数変換処理手段と、

前記垂直周波数変換処理手段から出力される映像信号がインターレース信号の場合、インターレース信号からプログレッシブ信号へ変換するインターレース／プログレッシブ変換処理手段と、

前記インターレース／プログレッシブ変換処理手段から出力される映像信号の走査線数を変換する走査線変換処理手段と、

前記走査線変換処理手段から出力される映像信号の水平画素数を変換する水平画素変換処理手段と、

前記垂直周波数変換処理手段、前記インターレース／プログレッシブ変換処理手段、前記走査線変換処理手段および前記水平画素変換処理手段の動作を制御するための同期制御信号を前記垂直周波数変換処理手段、前記インターレース／プログレッシブ変換処理手段、前記走査線変換処理手段および前記水平画素変換処理手段へ出力する同期制御手段とを備えることを特徴とする映像信号変換装置。

【請求項 2】 前記記憶手段は、フィールドメモリを含み、

前記垂直周波数変換処理手段は、

前記同期制御手段から出力される第 1 のクロックを基準に書き込み動作を行うとともに、前記同期制御手段から出力される第 2 のクロックを基準に読み出し動作を行い、前記同期制御手段から出力される第 1 の系統の水平同期信号に応じて前記映像信号の書き込みおよび読み出し動作を行う第 1 のラインメモリと、

前記第2のクロックを基準に動作し、前記第1の系統の水平同期信号および前記同期制御手段から出力される第1の系統の垂直同期信号に応じて前記書き込み制御信号を出力するとともに、前記同期制御手段から出力される第2の系統の水平同期信号および第2の系統の垂直同期信号に応じて前記読み出し制御信号を出力し、前記第1のラインメモリから出力される映像信号の垂直周波数を前記第1の系統の垂直同期信号の周波数から前記第2の系統の垂直同期信号の周波数へ変換する垂直周波数変換手段とを含み、

前記インターレース/プログレッシブ変換処理手段は、

前記第2のクロックを基準に動作し、前記第2の系統の水平同期信号に応じて前記垂直周波数変換手段から出力される映像信号の書き込みおよび読み出し動作を行う第2のラインメモリと、

前記第2のクロックを基準に動作し、前記第2の系統の水平同期信号に応じて、前記第2のラインメモリから出力される映像信号をインターレース信号からプログレッシブ信号へ変換するインターレース/プログレッシブ変換手段とを含み、

前記走査線変換処理手段は、

前記第2のクロックを基準に動作し、前記第2の系統の水平同期信号に応じて前記インターレース/プログレッシブ変換手段から出力される映像信号の書き込み動作を行うとともに、前記同期制御手段から出力される第3の系統の水平同期信号に応じて、書き込まれた映像信号の読み出し動作を行う第3のラインメモリと、

前記第2のクロックを基準に動作し、前記第3の系統の水平同期信号および前記第2の系統の垂直同期信号に応じて、前記第3のラインメモリから出力される映像信号の走査線数を変換する走査線変換手段とを含み、

前記水平画素変換処理手段は、

前記第2のクロックを基準に動作し、前記第3の系統の水平同期信号に応じて、前記走査線変換手段から出力される映像信号の水平画素数を圧縮する水平圧縮手段と、

前記第2のクロックを基準に書き込み動作を行うとともに、前記同期制御手段

から出力される第3のクロックを基準に読み出し動作を行い、前記第3の系統の水平同期信号に応じて、前記水平圧縮手段から出力される映像信号の書き込みおよび読み出し動作を行う第4のラインメモリと、

前記第3のクロックを基準に動作し、前記第3の系統の水平同期信号に応じて、前記第4のラインメモリから出力される映像信号の水平画素数を拡大する水平拡大手段とを含むことを特徴とする請求項1記載の映像信号変換装置。

【請求項3】 前記記憶手段は、フィールドメモリを含み、

前記インターレース/プログレッシブ変換処理手段は、複数のラインメモリを含み、インターレース/プログレッシブ変換前の水平同期信号に対して位相が遅れた遅延水平同期信号に応じて前記フィールドメモリから前記複数のラインメモリの少なくとも一つに映像信号を転送され、前記複数のラインメモリ間でのデータのローテーションを行うとともに、前記複数のラインメモリのデータを用いて補間ラインの合成を行い、前記水平同期信号に応じて前記複数のラインメモリのうち映像信号が転送されたラインメモリ以外の一つのラインメモリから現ラインのデータを読み出すことを特徴とする請求項1または2記載の映像信号変換装置。

【請求項4】 前記記憶手段は、フィールドメモリを含み、

前記垂直周波数変換処理手段は、

前記フィールドメモリの読み出し開始アドレスとして、前記走査線変換処理手段により走査線数を増加させて垂直方向の拡大処理を行う場合に前記フィールドメモリの書き込み開始アドレスより大きい読み出し開始アドレスを発生させるとともに、前記走査線変換処理手段により走査線数を減少させて垂直方向の縮小処理を行う場合に負数の読み出し開始アドレスを発生させるアドレス発生手段と、

前記アドレス発生手段により負数の読み出し開始アドレスが発生された場合、その負数の値だけ黒ラインのデータを挿入する黒ライン挿入手段とを含み、

前記同期制御手段は、前記垂直方向の拡大処理を行う場合に前記フィールドメモリの読み出し時の水平同期信号の周波数を低下させ、前記垂直方向の縮小処理を行う場合に前記フィールドメモリの読み出し時の水平同期信号の周波数を高くする水平同期信号発生手段を含み、

前記垂直周波数変換処理手段は、前記水平同期信号発生手段から出力される水平同期信号に応じて前記フィールドメモリの読み出し動作を制御することを特徴とする請求項1～3のいずれかに記載の映像信号変換装置。

【請求項5】 前記記憶手段は、フィールドメモリを含み、

前記同期制御手段は、前記垂直周波数変換処理手段へ入力される映像信号が奇数フィールドであるか偶数フィールドであるかを判別する判別手段を含み、

前記垂直周波数変換処理手段は、前記判別手段により判別されたフィールド情報を垂直周波数変換前の垂直同期信号に応じて記憶し、垂直周波数変換後の垂直同期信号に応じて前記フィールドメモリに記憶されている映像信号とリンクさせて記憶したフィールド情報を読み出すフィールド情報記憶手段を含み、

前記垂直周波数変換処理手段は、前記フィールド情報記憶手段により読み出されたフィールド情報に応じて映像信号を前記インターレース／プログレッシブ変換処理手段へ出力し、

前記インターレース／プログレッシブ変換処理手段は、フィールド内補間により前記垂直周波数変換処理手段から出力される映像信号をインターレース信号からプログレッシブ信号へ変換することを特徴とする請求項1～4のいずれかに記載の映像信号変換装置。

【請求項6】 前記同期制御手段は、

前記垂直周波数変換処理手段の出力側および前記走査線変換処理手段の入力側の基準となる水平同期信号を作成するための水平同期信号を発生させる第1の水平同期信号発生手段と、

前記第1の水平同期信号発生手段から発生される水平同期信号を用いて垂直同期信号を発生させる垂直同期信号発生手段と、

前記走査線変換処理手段の出力側の基準となる水平同期信号を作成するための水平同期信号を発生させる第2の水平同期信号発生手段と、

前記垂直周波数変換処理手段に入力される映像信号の垂直同期信号から作成された垂直同期信号および前記垂直同期信号発生手段から出力される垂直同期信号を受け、前記垂直周波数変換処理手段の出力側の基準となる垂直同期信号および前記走査線変換処理手段の出力側の基準となる垂直同期信号を作成するための垂

直同期信号として、前記垂直周波数変換処理手段が垂直周波数変換を行う場合に前記垂直同期信号発生手段の垂直同期信号を選択して出力し、前記垂直周波数変換処理手段が垂直周波数変換を行わない場合に前記垂直周波数変換処理手段に入力される映像信号の垂直同期信号から作成された垂直同期信号を選択して出力する選択手段とを含み、

前記第 1 および第 2 の水平同期信号発生手段は、前記選択手段から出力される垂直同期信号を基準にリセットされることを特徴とする請求項 1 ～ 5 のいずれかに記載の映像信号変換装置。

【請求項 7】 前記第 1 の水平同期信号発生手段は、前記垂直周波数変換処理手段の出力側および前記走査線変換処理手段の入力側の基準となる水平同期信号を作成するための水平同期信号を発生させる第 1 のカウンタを含み、

前記垂直同期信号発生手段は、前記第 1 のカウンタから発生される水平同期信号を分周して垂直同期信号を発生させる第 2 のカウンタを含み、

前記第 2 の水平同期信号発生手段は、

前記走査線変換処理手段の出力側の基準となる水平同期信号を作成するための水平同期信号を発生させるとともに、当該水平同期信号を所定のクロックを発生させる PLL 回路の基準パルスとして出力する第 3 のカウンタと、

前記 PLL 回路の分周比を決定し、前記 PLL 回路から出力されるクロックを分周して前記水平画素変換処理手段の出力側の基準となる水平同期信号を作成するための水平同期信号を発生させる第 4 のカウンタとを含み、

前記第 1 および第 3 のカウンタは、前記選択手段から出力される垂直同期信号を基準にリセットされることを特徴とする請求項 6 記載の映像信号変換装置。

【請求項 8】 前記第 4 のカウンタは、前記選択手段から出力される垂直同期信号を基準にリセットされることを特徴とする請求項 7 記載の映像信号変換装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、映像信号を表示装置に適合する映像信号に変換する映像信号変換装

置に関し、特に、映像信号をマトリックス表示を行う表示装置に適合する映像信号に変換する映像信号変換装置に関するものである。

【0002】

【従来の技術】

ドットマトリックス表示ディスプレイパネルとしては、PDP（プラズマディスプレイパネル）および液晶パネル等があり、これらのディスプレイパネルに必要な信号処理技術としては、IP（インターレース／プログレッシブ）変換、走査線変換、水平画素変換および垂直周波数変換が挙げられる。

【0003】

IP変換は、インターレース信号をプログレッシブ信号に変換する処理である。走査線変換は、表示画像の垂直方向の拡大および縮小を行う処理である。水平画素変換は、表示画像の水平方向の拡大および縮小を行う処理である。これらの各変換は、水平および垂直方向の画素数が決まっているドットマトリックス型表示装置に必要な技術である。

【0004】

また、垂直周波数変換は、映像信号の垂直周波数を表示装置に適する垂直周波数に変換する処理であり、PDPでは階調表現手法の制限から、一方、液晶パネルでは階調表現手法およびその動作速度の制限から、垂直周波数は60Hzとするのが最も望ましい。したがって、映像信号の垂直周波数が60Hzよりも大きい場合、この垂直周波数を60Hzに変換する垂直周波数変換回路が非常に有用となる。

【0005】

上記のIP変換を行う従来の映像信号変換装置としては、例えば、特開平7-123367号公報に開示される走査線変換回路がある。図35は、従来の走査線変換回路の構成を示す回路図であり、図36は、図35に示す走査線変換回路のフィルタ係数を示す図である。

【0006】

図35に示す走査線変換回路は、前後のフィールドのデータと現フィールドのデータとから現フィールドの補間ラインを合成するものである。まず、入力端子

331に供給された輝度信号は、第1のハイパスフィルタ330に供給される。第1のハイパスフィルタ330は、1H（Hは水平走査期間）の遅延時間を有する縦続接続された一対の遅延手段332、333を有し、それらの入出力段の輝度信号は、対応する係数器334、335、336を経て加算器337で合成される。

【0007】

係数器334～336の各係数は、図36に示す係数が用いられる。図36では、その横方向がフィールドに対応し、縦方向がそのフィールドにおける垂直方向Vを示す。同一フィールドの各ラインに対しては図示のようなフィルタ係数が定められる。したがって、図35に示す走査線変換回路では、実ラインに対応する係数器335の係数は $6/24$ であり、上下の係数器334、336はともに $-3/24$ である。係数器334～336は、アンプを使用することができ、アンプを使用した場合、図示のように上下の係数器334、336はインバータ構成である。

【0008】

2H遅延された輝度信号は、ほぼ1フィールド分の遅延時間を得るため、260Hの遅延手段360に供給され、入力端子331に供給された輝度信号がちょうど1フィールド分遅延されて出力される。1フィールド遅延したこの輝度信号は、ローパスフィルタ340に供給される。

【0009】

ローパスフィルタ340は、図36に示すように7ラインのデータに基づいてフィルタ特性を付与する。したがって、ローパスフィルタ340は、1Hの遅延時間を有する縦続接続された3個の遅延手段341～343を有し、それぞれの入出力信号は対応する係数器344～347によって所定の係数が乗算された後、加算器348で合成される。遅延手段341から出力された輝度信号は、現ラインでの輝度信号L1として使用され、これが切り換えスイッチ366に供給される。ローパスフィルタ340には、図36に示すように第1ラインと第7ラインに対しては $2/24$ のフィルタ係数が選ばれ、第3ラインと第5ラインに対しては $10/24$ のフィルタ係数が選ばれる。

【0010】

ローパスフィルタ340によりさらに3H分遅延された輝度信号は、260Hの遅延手段362を介して第2のハイパスフィルタ350に供給される。遅延手段362を設けることによって入力端子331に供給された輝度信号は、2フィールド分遅延されることになる。2フィールド分遅延された輝度信号は、この第2のハイパスフィルタ350で所定のハイパス特性が付与され、その構成は第1のハイパスフィルタ330と同様である。

【0011】

加算器356の出力は、さらに加算器364に供給され、各フィルタ出力が合成される。このようにして、後フィールドの第4ラインと前フィールドの第4ラインが現フィールドの第3ラインと第5ラインとの間にあるとき、この間の補間ラインは、前後フィールドのそれぞれ3ライン分のハイパスフィルタの出力と現フィールドの4ライン分のローパスフィルタの出力を加算器364により加算して得られる。

【0012】

また、走査線変換および水平画素変換を行う従来の映像信号変換装置としては、例えば、特開平10-134175号公報に開示される画像処理装置がある。図37は、従来の画像処理装置の構成を示すブロック図である。

【0013】

剰余回路301は、所定の装置から供給された位相変化分 P_d とレジスタ302の値の和の小数部をレジスタ302に出力する。近似回路303は、位相 x がレジスタ302の値に最も近い位相に対応するフィルタ係数セットに対応するフィルタ信号 P_i を係数メモリ400へ出力する。このようにして、所定の画素データの補間において、所定の数のフィルタ係数セットのうちの最適なフィルタ係数セットが選択される。そして、Cubic近似法に従って、その4つのフィルタ係数セットと4つの画素データとの積和演算が乗算器405～408と加算器409とにより行われ、画素の補間値が算出され、任意の変換比率の画像の拡大または縮小を行うことができる。

【0014】

【発明が解決しようとする課題】

上記のように、従来の装置では、IP変換、走査線変換、水平画素変換等の個々の変換に関して詳細に開示されているが、IP変換、走査線変換、水平画素変換および垂直周波数変換をシステムのまとめた装置については報告されておらず、一つの装置により上記各変換を行い、映像信号をマトリックス表示を行う表示装置に適する映像信号に変換することはできない。

【0015】

本発明の目的は、一カ所に蓄えられた少ないデータ量の映像信号を用いて1つのシステムとして総合的に無駄なく、垂直周波数変換、IP変換、走査線変換および水平画素変換を行い、映像信号を表示装置に適する映像信号に変換することができる映像信号変換装置を提供することである。

【0016】

【課題を解決するための手段】

(1) 第1の発明

第1の発明に係る映像信号変換装置は、入力される映像信号を表示装置に適する映像信号へ変換する映像信号変換装置であって、映像信号を記憶する記憶手段と、入力される映像信号を記憶手段に書き込むための書き込み制御信号および記憶手段に記憶されている映像信号を読み出すための読み出し制御信号を記憶手段へ出力し、記憶手段への映像信号の入出力を制御するとともに、記憶手段に記憶されている映像信号の垂直周波数を変換する垂直周波数変換処理手段と、垂直周波数変換処理手段から出力される映像信号がインターレース信号の場合、インターレース信号からプログレッシブ信号へ変換するインターレース／プログレッシブ変換処理手段と、インターレース／プログレッシブ変換処理手段から出力される映像信号の走査線数を変換する走査線変換処理手段と、走査線変換処理手段から出力される映像信号の水平画素数を変換する水平画素変換処理手段と、垂直周波数変換処理手段、インターレース／プログレッシブ変換処理手段、走査線変換処理手段および水平画素変換処理手段の動作を制御するための同期制御信号を垂直周波数変換処理手段、インターレース／プログレッシブ変換処理手段、走査線変換処理手段および水平画素変換処理手段へ出力する同期制御手段とを備える

ものである。

【0017】

第1の発明に係る映像信号変換装置では、一つの記憶手段に記憶されている映像信号の垂直周波数を変換し、垂直周波数変換された映像信号がインターレース信号の場合にインターレース信号からプログレッシブ信号へ変換し、インターレース／プログレッシブ変換された映像信号の走査線数を変換し、走査線変換された映像信号の水平画素数を変換している。したがって、一カ所に蓄えられた少ないデータ量の映像信号を用いて1つのシステムとして総合的に無駄なく、垂直周波数変換、IP変換、走査線変換および水平画素変換を行い、映像信号を表示装置に適する映像信号に変換することができる。

【0018】

(2) 第2の発明

第2の発明に係る映像信号変換装置は、第1の発明に係る映像信号変換装置の構成において、記憶手段は、フィールドメモリを含み、垂直周波数変換処理手段は、同期制御手段から出力される第1のクロックを基準に書き込み動作を行うとともに、同期制御手段から出力される第2のクロックを基準に読み出し動作を行い、同期制御手段から出力される第1の系統の水平同期信号に応じて映像信号の書き込みおよび読み出し動作を行う第1のラインメモリと、第2のクロックを基準に動作し、第1の系統の水平同期信号および同期制御手段から出力される第1の系統の垂直同期信号に応じて書き込み制御信号を出力するとともに、同期制御手段から出力される第2の系統の水平同期信号および第2の系統の垂直同期信号に応じて読み出し制御信号を出力し、第1のラインメモリから出力される映像信号の垂直周波数を第1の系統の垂直同期信号の周波数から第2の系統の垂直同期信号の周波数へ変換する垂直周波数変換手段とを含み、インターレース／プログレッシブ変換処理手段は、第2のクロックを基準に動作し、第2の系統の水平同期信号に応じて垂直周波数変換手段から出力される映像信号の書き込みおよび読み出し動作を行う第2のラインメモリと、第2のクロックを基準に動作し、第2の系統の水平同期信号に応じて、第2のラインメモリから出力される映像信号をインターレース信号からプログレッシブ信号へ変換するインターレース／プログ

レッシブ変換手段とを含み、走査線変換処理手段は、第2のクロックを基準に動作し、第2の系統の水平同期信号に応じてインターレース/プログレッシブ変換手段から出力される映像信号の書き込み動作を行うとともに、同期制御手段から出力される第3の系統の水平同期信号に応じて、書き込まれた映像信号の読み出し動作を行う第3のラインメモリと、第2のクロックを基準に動作し、第3の系統の水平同期信号および第2の系統の垂直同期信号に応じて、第3のラインメモリから出力される映像信号の走査線数を変換する走査線変換手段とを含み、水平画素変換処理手段は、第2のクロックを基準に動作し、第3の系統の水平同期信号に応じて、走査線変換手段から出力される映像信号の水平画素数を圧縮する水平圧縮手段と、第2のクロックを基準に書き込み動作を行うとともに、同期制御手段から出力される第3のクロックを基準に読み出し動作を行い、第3の系統の水平同期信号に応じて、水平圧縮手段から出力される映像信号の書き込みおよび読み出し動作を行う第4のラインメモリと、第3のクロックを基準に動作し、第3の系統の水平同期信号に応じて、第4のラインメモリから出力される映像信号の水平画素数を拡大する水平拡大手段とを含むものである。

【0019】

この場合、第1のラインメモリにより入力側のクロックである第1のクロックから装置内部のクロックとなる第2のクロックへ乗せ換えることができるとともに、第4のラインメモリにより第2のクロックから出力側のクロックとなる第3のクロックへ乗せ換えることができる。また、垂直周波数変換手段により入力側の水平同期信号である第1の系統の水平同期信号から装置内部の水平同期信号となる第2の系統の水平同期信号へ乗せ換えることができるとともに、入力側の垂直同期信号である第1の系統の垂直同期信号から出力側の垂直同期信号となる第2の系統の垂直同期信号へ乗せ換えることができる。さらに、第3のラインメモリにより第2の系統の水平同期信号から出力側の水平同期信号となる第3の水平同期信号へ乗せ換えることができる。

【0020】

したがって、インターレース/プログレッシブ変換および走査線変換に適した高い周波数で内部のクロックを出力することができ、また、フィールドメモリの

前後で水平同期信号および垂直同期信号の乗せ換えを行うことができるとともに、走査線変換前に水平同期信号を乗せ換えることができる。この結果、垂直周波数変換、インターレース/プログレッシブ変換、走査線変換および水平画素変換を行う個別のブロック間で信号の受け渡しを適切なタイミングで行うことができ、マトリックス表示を行う表示装置に適した映像信号への変換に要求される信号処理を総合的かつに簡単に実現することができる。

【 0 0 2 1 】

(3) 第 3 の 発 明

第 3 の発明に係る映像信号変換装置は、第 1 または第 2 の発明に係る映像信号変換装置の構成において、記憶手段は、フィールドメモリを含み、インターレース/プログレッシブ変換処理手段は、複数のラインメモリを含み、インターレース/プログレッシブ変換前の水平同期信号に対して位相が遅れた遅延水平同期信号に応じてフィールドメモリから複数のラインメモリの少なくとも一つに映像信号を転送され、複数のラインメモリ間でのデータのローテーションを行うとともに、複数のラインメモリのデータを用いて補間ラインの合成を行い、水平同期信号に応じて複数のラインメモリのうち映像信号が転送されたラインメモリ以外の一つのラインメモリから現ラインのデータを読み出すものである。

【 0 0 2 2 】

この場合、インターレース/プログレッシブ変換を行う場合の信号の受け渡しおよびそのタイミングを明確にすることができ、マトリックス表示を行う表示装置に適した映像信号への変換に要求される信号処理を総合的かつに簡単に実現することができる。

【 0 0 2 3 】

(4) 第 4 の 発 明

第 4 の発明に係る映像信号変換装置は、第 1 ～第 3 のいずれかの発明に係る映像信号変換装置の構成において、記憶手段は、フィールドメモリを含み、垂直周波数変換処理手段は、フィールドメモリの読み出し開始アドレスとして、走査線変換処理手段により走査線数を増加させて垂直方向の拡大処理を行う場合にフィールドメモリの書き込み開始アドレスより大きい読み出し開始アドレスを発生さ

せるとともに、走査線変換処理手段により走査線数を減少させて垂直方向の縮小処理を行う場合に負数の読み出し開始アドレスを発生させるアドレス発生手段と、アドレス発生手段により負数の読み出し開始アドレスが発生された場合、その負数の値だけ黒ラインのデータを挿入する黒ライン挿入手段とを含み、同期制御手段は、垂直方向の拡大処理を行う場合にフィールドメモリの読み出し時の水平同期信号の周波数を低下させ、垂直方向の縮小処理を行う場合にフィールドメモリの読み出し時の水平同期信号の周波数を高くする水平同期信号発生手段を含み、垂直周波数変換処理手段は、水平同期信号発生手段から出力される水平同期信号に応じてフィールドメモリの読み出し動作を制御するものである。

【0024】

この場合、フィールドメモリの前後で水平周波数の変換を行い、出力側の水平同期信号およびクロックの周波数の変動を抑制することができるので、次段の回路や表示装置をより安定に動作させることができるとともに、回路構成を簡略化することができる。

【0025】

(5) 第5の発明

第5の発明に係る映像信号変換装置は、第1～第4のいずれかの発明に係る映像信号変換装置の構成において、記憶手段は、フィールドメモリを含み、同期制御手段は、垂直周波数変換処理手段へ入力される映像信号が奇数フィールドであるか偶数フィールドであるかを判別する判別手段を含み、垂直周波数変換処理手段は、判別手段により判別されたフィールド情報を垂直周波数変換前の垂直同期信号に応じて記憶し、垂直周波数変換後の垂直同期信号に応じてフィールドメモリに記憶されている映像信号とリンクさせて記憶したフィールド情報を読み出すフィールド情報記憶手段を含み、垂直周波数変換処理手段は、フィールド情報記憶手段により読み出されたフィールド情報に応じて映像信号をインターレース／プログレッシブ変換処理手段へ出力し、インターレース／プログレッシブ変換処理手段は、フィールド内補間により垂直周波数変換処理手段から出力される映像信号をインターレース信号からプログレッシブ信号へ変換するものである。

【0026】

この場合、フィールド情報を映像信号にリンクさせて読み出すことにより、垂直周波数変換およびインターレース/プログレッシブ変換を両立することが可能となり、60Hzよりも高い垂直周波数のインターレース信号にも対応することができる。

【0027】

(6) 第6の発明

第6の発明に係る映像信号変換装置は、第1～第5のいずれかの発明に係る映像信号変換装置の構成において、同期制御手段は、垂直周波数変換処理手段の出力側および前記走査線変換処理手段の入力側の基準となる水平同期信号を作成するための水平同期信号を発生させる第1の水平同期信号発生手段と、第1の水平同期信号発生手段から発生される水平同期信号を用いて垂直同期信号を発生させる垂直同期信号発生手段と、走査線変換処理手段の出力側の基準となる水平同期信号を作成するための水平同期信号を発生させる第2の水平同期信号発生手段と、垂直周波数変換処理手段に入力される映像信号の垂直同期信号から作成された垂直同期信号および垂直同期信号発生手段から出力される垂直同期信号を受け、垂直周波数変換処理手段の出力側の基準となる垂直同期信号および走査線変換処理手段の出力側の基準となる垂直同期信号を作成するための垂直同期信号として、垂直周波数変換処理手段が垂直周波数変換を行う場合に垂直同期信号発生手段の垂直同期信号を選択して出力し、垂直周波数変換処理手段が垂直周波数変換を行わない場合に垂直周波数変換処理手段に入力される映像信号の垂直同期信号から作成された垂直同期信号を選択して出力する選択手段とを含み、第1および第2の水平同期信号発生手段は、選択手段から出力される垂直同期信号を基準にリセットされるものである。

【0028】

第6の発明に係る映像信号変換装置においては、垂直周波数変換処理手段の後に走査線変換処理手段を配置する場合において、垂直周波数変換の有無に関わらず、第1の水平同期信号発生手段により垂直周波数変換処理手段の出力側および走査線変換処理手段の入力側の基準となる水平同期信号を作成するための水平同期信号を発生させ、第1の水平同期信号発生手段とは別の第2の水平同期信号発

生手段により走査線変換処理手段の出力側の基準となる水平同期信号を作成するための水平同期信号を発生させ、垂直周波数変換処理手段の出力側の基準となる垂直同期信号および走査線変換処理手段の出力側の基準となる垂直同期信号を作成するための垂直同期信号を基準に第1および第2の水平同期信号発生手段をリセットしている。したがって、走査線変換による拡大縮小に関わらず、装置の出力側の同期信号をほぼ一定に保つことができる。

【0029】

(7) 第7の発明

第7の発明に係る映像信号変換装置は、第6の発明に係る映像信号変換装置の構成において、第1の水平同期信号発生手段は、垂直周波数変換処理手段の出力側の基準および前記走査線変換処理手段の入力側となる水平同期信号を作成するための水平同期信号を発生させる第1のカウンタを含み、垂直同期信号発生手段は、第1のカウンタから発生される水平同期信号を分周して垂直同期信号を発生させる第2のカウンタを含み、第2の水平同期信号発生手段は、走査線変換処理手段の出力側の基準となる水平同期信号を作成するための水平同期信号を発生させるとともに、当該水平同期信号を所定のクロックを発生させるPLL回路の基準パルスとして出力する第3のカウンタと、PLL回路の分周比を決定し、PLL回路から出力されるクロックを分周して水平画素変換処理手段の出力側の基準となる水平同期信号を作成するための水平同期信号を発生させる第4のカウンタとを含み、第1および第3のカウンタは、選択手段から出力される垂直同期信号を基準にリセットされるものである。

【0030】

この場合、第1のカウンタにより垂直周波数変換処理手段の出力側および走査線変換処理手段の入力側の基準となる水平同期信号を作成するための水平同期信号を作り直し、第1のカウンタとは別の第3のカウンタにより走査線変換処理手段の出力側の基準となる水平同期信号を作成するための水平同期信号を発生させるとともに、PLL回路の基準パルスを作成し、垂直周波数変換処理手段の出力側の基準となる垂直同期信号および走査線変換処理手段の出力側の基準となる垂直同期信号を作成するための垂直同期信号を基準に第1および第3のカウンタを

リセットしているので、走査線変換処理手段による拡大および縮小処理によらず、装置の出力側の水平同期信号およびクロックをほぼ一定に保つことが可能となる。また、垂直周波数変換以降の各カウンタの設定は、入力される映像信号の周波数や画素数に関わらず、常に走査線変換での変換比のみで決定されるため、各カウンタの設定も容易となる。

【0031】

(8) 第8の発明

第8の発明に係る映像信号変換装置は、第7の発明に係る映像信号変換装置の構成において、第4のカウンタは、選択手段から出力される垂直同期信号を基準にリセットされる。

【0032】

この場合、PLL回路の基準パルスおよびフィードバックパルスを出力する第3および第4カウンタを同時にリセットすることができるので、当該PLL回路の発振動作を安定にすることができる。

【0033】

【発明の実施の形態】

以下、本発明の映像信号変換装置の各実施の形態について説明する。本発明による映像信号変換装置は、PDP（プラズマディスプレイパネル）、液晶パネル等のドットマトリックス表示を行う表示装置に好適に用いられる映像信号を出力するものであり、マトリックス表示を行う表示装置であれば、CRT（陰極線管）等にも用いることができる。

【0034】

(第1の実施の形態)

まず、本発明の第1の実施の形態による映像信号変換装置について説明する。図1は、本発明の第1の実施の形態による映像信号変換装置の構成を示すブロック図である。

【0035】

図1に示す映像信号変換装置は、画素変換装置1およびフィールドメモリ部7を備える。画素変換装置1は、メモリ制御処理部2、IP（インターレース／プ

ログレッシブ) 変換処理部 3、走査線変換処理部 4、水平画素変換処理部 5 および同期処理部 6 を含む。

【0036】

メモリ制御処理部 2 は、装置外部の A D (アナログ/デジタル) 変換器 (図示省略) によりデジタル化された映像信号 D V が入力され、書き込みおよび読み出しアドレス等の制御信号を発生させてフィールドメモリ部 7 へ出力し、フィールドメモリ部 7 との映像信号の受け渡しを行う。

【0037】

I P 変換処理部 3 は、メモリ制御処理部 2 から出力される映像信号がインターレース信号であった場合にプログレッシブ信号に変換し、逆にプログレッシブ信号の場合にそのままスルーして走査線変換処理部 4 へ出力する。

【0038】

走査線変換処理部 4 は、I P 変換処理部 3 から出力される映像信号の走査線数を増減させて垂直方向の拡大処理および縮小処理を行う。水平画素変換処理部 5 は、走査線変換処理部 4 から出力される映像信号の水平画素数を増減して水平方向の拡大処理および縮小処理を行い、変換された映像信号 T V を表示装置 (図示省略) へ出力する。

【0039】

同期処理部 6 は、外部から同期信号 S Y が入力され、この同期信号 S Y を基に、メモリ制御処理部 2、I P 変換処理部 3、走査線変換処理部 4 および水平画素変換処理部 5 の動作を適正に制御するため、所定のクロック、水平同期信号および垂直同期信号を各ブロックに与える。

【0040】

本実施の形態では、フィールドメモリ部 7 が記憶手段に相当し、メモリ制御処理部 2 が垂直周波数変換処理手段に相当し、I P 変換処理部 3 がインターレース/プログレッシブ変換処理手段に相当し、走査線変換処理部 4 が走査線変換処理手段に相当し、水平画素変換処理部 5 が水平画素変換処理手段に相当し、同期処理部 6 が同期制御手段に相当する。

【0041】

次に、上記のように構成された映像信号変換装置の動作について説明する。フィールドメモリ部 7 は、I P 変換および走査線変換に必要とされるフィールドのデータを蓄え、フィールドメモリ部 7 に蓄えられたデータを用いて、メモリ制御処理部 2 により垂直周波数変換が行われ、I P 変換処理部 3 により I P 変換が行われ、走査線変換処理部 4 により走査線変換が行われ、水平画素変換処理部 5 により水平画素変換が行われる。なお、垂直周波数変換、I P 変換、走査線変換および水平画素変換の各処理は、個別に行ってもよいし、このうちの 2 つまたは 3 つの処理のみを行ってもよい。

【 0 0 4 2 】

上記のように、フィールドメモリ部 7 は、垂直周波数変換が必要な映像信号に対しては垂直周波数変換用のメモリとして用いられ、I P 変換が必要な映像信号に対して I P 変換用のメモリとして用いられ、走査線変換が必要な映像信号に対しては走査線変換用のメモリとして用いられる。

【 0 0 4 3 】

このように、本実施の形態では、映像信号を一か所のフィールドメモリ部 7 に一旦蓄え、フィールドメモリ部 7 に記憶したデータを用いて、垂直周波数変換、I P 変換、走査線変換および水平画素変換の各処理を行うことにより、マトリックス表示を行う表示装置に必要な上記の 4 つの処理を統合して行うシステムを構築することができるとともに、各処理を分散して個々の回路により行うシステムに対して回路構成を格段に簡略化することができる。

【 0 0 4 4 】

また、水平画素変換処理部 5 を後段に配置することにより、A D (アナログ/デジタル) 変換を行う時のサンプリング周波数を予め低く設定しておき、フィールドメモリ部 7 に取り込むデータ量を小さくし、最後に水平画素変換処理部 5 により水平方向の拡大処理を行うことにより、より少ないデータ量で上記の処理を行うことができる。

【 0 0 4 5 】

(第 2 の実施の形態)

垂直周波数変換、I P 変換、走査線変換および水平画素変換を行う映像信号変

換装置を構成する場合、各ブロックの動作を適正に制御するために、同期信号として、複数のクロック、水平同期信号および垂直同期信号が必要となる。

【0046】

まず、クロックについて説明する。映像信号変換装置の入力側のクロックは、デジタル化された映像信号に同期し、アナログの映像信号をデジタルの映像信号に変換する装置外部のAD変換器のサンプリングクロックと同一のクロックとなる。このサンプリングクロックは、図2に示すように、水平方向に852個の画素を有するディスプレイパネルの場合、水平走査期間 y および有効映像期間 x からサンプリングクロックの分周比は、 $y/x \times 852$ となり、水平走査期間の大半が映像データにより埋まった映像期間となる。

【0047】

ここで、図3の(a)に示すように、走査線変換により2本の走査線を3本の走査線に増やし、走査線変換前の2水平走査期間が走査線変換後の3水平走査期間に対応する2→3変換の場合、映像期間が走査線変換前の水平走査期間の2/3以上あった場合、映像期間が走査線変換後の水平走査期間を越えてしまい、全ての映像を写すことができなくなってしまう。

【0048】

このため、図3の(b)に示すように、走査線変換後のクロックの周波数を十分に高く設定しておく必要がある。また、IP変換の場合も上記と同様であり、IP変換では水平同期信号の周波数が倍になるため、入力側の水平同期信号の半分の周期で有効映像期間の全データが格納できるように、IP変換後のクロックの周波数も十分に速いものでなければならない。

【0049】

一方、出力側のクロックの周波数は、次段の回路が要求するクロックの周波数に設定しなければならない。したがって、垂直周波数変換、IP変換、走査線変換および水平画素変換を行う映像信号変換装置のクロックとしては、サンプリングクロックと同じ入力側のクロックと、IP変換および走査線変換を考慮して周波数が十分に高くなるように設定された内部のクロック、および次段の回路で要求される出力側のクロックの3つのクロックを用いることが好ましい。

【0050】

次に、上記の3種類のクロックの乗せ換えについて説明する。まず、入力側のクロックから内部のクロックへの乗せ換えについて説明する。

【0051】

入出力のクロックを別々に設定できるデュアルポートのラインメモリやフィールドメモリといったメモリを用いる場合は、クロックの乗せ換えを容易に行うことができるが、フィールドメモリとして一般的に用いられているSDRAM (Synchronous Dynamic Random Access Memory) やSGRAM (Synchronous Graphics Random Access Memory) では、入出力のクロックを別々に設定することができない。このため、クロックを書き込み期間と読み出し期間とで時系列に分割する必要がある。

【0052】

しかしながら、メモリの動作周波数が速くなると、このような回路を実現することは非常に困難であり、回路も複雑化してしまう。したがって、フィールドメモリは同一のクロックにより動作させることが好ましい。また、図3を用いて説明したように、IP変換を考慮すると、フィールドメモリの出力は十分に速い周波数であることが好ましい。したがって、入力側のクロックから内部のクロックへの乗せ換えは、フィールドメモリへ入力される前にラインメモリを挿入し、このラインメモリにより行うのが好ましい。

【0053】

次に、内部のクロックから出力側のクロックへの乗せ換えについて図4を用いて説明する。走査線変換前の有効映像期間が水平走査期間の80%で、走査線変換後の有効映像期間も80%になるようにクロックを設定し、走査線変換用のラインメモリによりクロックの乗せ換えを同時に行う場合、図4の(a)に破線で示すように、ラインメモリの書き込みクロックよりも読み出しクロックが速いため、データの追い越しが発生する。具体的には、読み出し期間の領域Aは直前の書き込み期間の領域Aに対応するが、読み出し期間の領域Bは1ライン前の書き込み期間の領域Bに対応し、正確な走査線変換ができなくなってしまう。

【0054】

一方、図 4 の (b) に示すように、走査線変換後にラインメモリを用いてクロックを変化させた場合、追い越しまたは追い越されが発生しない。また、上記のように走査線変換による拡大処理を行う場合等を考慮すると、走査線変換では十分に速い周波数のクロックが必要となるため、内部のクロックから出力側のクロックへの乗せ換えは、走査線変換後の水平画素変換用のラインメモリにより行うことが適切である。

【 0 0 5 5 】

次に、垂直同期信号および水平同期信号の乗せ換えについて説明する。垂直同期信号の乗せ換えは、映像信号を蓄えるメモリがフィールドメモリしか存在しない場合、フィールドメモリを制御するメモリ制御処理部の前後で行い、それと同時に水平同期信号の乗せ換えを行う必要がある。なお、垂直周波数変換を行わない場合は、水平同期信号を乗せ換える必要はないように思われるが、後述するように、水平同期信号は、走査線変換時にも乗せ換える必要がある。したがって、垂直同期信号としては、入力側の垂直同期信号および出力側の垂直同期信号の 2 つの系統の垂直同期信号を用い、水平同期信号としては、入力側の水平同期信号、内部の水平同期信号および出力側の水平同期信号の 3 つの系統の水平同期信号を用いることが好ましい。

【 0 0 5 6 】

次に、本発明の第 2 の実施の形態による映像信号変換装置について説明する。図 5 は、本発明の第 2 の実施の形態による映像信号変換装置の構成を示すブロック図である。上記の検討に基づき、本実施の形態では、クロックとしては入力側のクロック、内部のクロックおよび出力側のクロックの 3 つのクロックを用い、垂直同期信号としては入力側の垂直同期信号および出力側の垂直同期信号の 2 つの系統の垂直同期信号を用い、水平同期信号としては入力側の水平同期信号、内部の水平同期信号および出力側の水平同期信号の 3 つの系統の水平同期信号を用い、それぞれの切り替えを後述するようにして行っている。

【 0 0 5 7 】

図 5 に示す映像信号変換装置は、水平フィルタ 1 1、ラインメモリ 1 2、3 1、5 1、8 1、フィールドメモリ部 7、メモリ制御部 2 1、I P 変換部 4 1、走

査線変換部 6 1、水平圧縮部 7 1、水平拡大部 9 1 および同期処理部 6 を備える。

【 0 0 5 8 】

水平フィルタ 1 1 は、所定のサンプリングクロックで外部の A D 変換器（図示省略）によりデジタル化された映像信号 D V を入力され、このサンプリングクロックと同一の入力側のクロックである第 1 のクロック C L K 1 によりエッジエンハンス処理、L P F（ローパスフィルタ）処理等の水平方向の処理を行う。なお、水平フィルタ 1 1 は必要に応じて付加されるものであり、省略することも可能である。

【 0 0 5 9 】

ラインメモリ 1 2 は、デュアルポートのラインメモリであり、書き込みクロックとして第 1 のクロック C L K 1 が入力され、読み出しクロックとして内部のクロックとなる第 2 のクロック C L K 2 が入力され、入力側の水平同期信号である第 1 の系統の水平同期信号 H 1 に応じて動作する。

【 0 0 6 0 】

メモリ制御部 2 1 の入力側（書き込み制御側）には、第 1 の系統の水平同期信号 H 1 および入力側の垂直同期信号である第 1 の系統の垂直同期信号 V 1 が入力され、その出力側（読み出し制御側）には、内部の水平同期信号である第 2 の系統の水平同期信号 H 2 および出力側の垂直同期信号である第 2 の系統の垂直同期信号 V 2 が入力され、動作クロックは、第 2 のクロック C L K 2 である。メモリ制御部 2 1 は、上記の各信号に従い、書き込みおよび読み出しアドレス等の制御信号を発生させ、フィールドメモリ部 7 に対して映像信号の入出力を行うとともに、映像信号の垂直周波数を第 1 の系統の垂直同期信号 V 1 の周波数から第 2 の系統の垂直同期信号 V 2 の周波数へ変換する。

【 0 0 6 1 】

ラインメモリ 3 1 は、I P 変換用のデータを蓄えるラインメモリであり、入出力ともに第 2 のクロック C L K 2 を基準にして第 2 の系統の水平同期信号 H 2 に応じて動作する。I P 変換部 4 1 は、第 2 のクロック C L K 2、第 2 の系統の水平同期信号 H 2 および第 2 の系統の垂直同期信号 V 2 により動作し、前段のライ

ンメモリ 31 から出力されるデータを用いて IP 変換のための所定の演算を行い、入力される映像信号がプログレッシブ信号の場合はスルーする。

【0062】

ラインメモリ 51 は、走査線変換用のデータを蓄えるラインメモリであり、第 2 の系統の水平同期信号 H2 から出力側の水平同期信号である第 3 の系統の水平同期信号 H3 への乗せ換えを行い、動作クロックは第 2 のクロック CLK2 である。走査線変換部 61 は、第 2 のクロック CLK2、第 3 の系統の水平同期信号 H3 および第 2 の系統の垂直同期信号 V2 により動作し、ラインメモリ 51 に蓄えたデータを用いて走査線変換のための所定の演算を行う。

【0063】

水平圧縮部 71 は、第 2 のクロック CLK2 および第 3 の系統の水平同期信号 H3 により動作し、走査線変換部 61 から出力される映像信号に水平圧縮処理を行い、その演算結果をラインメモリ 81 に格納する。ラインメモリ 81 は、水平画素変換用のデータを蓄えるラインメモリであり、第 2 のクロック CLK2 から出力側のクロックである第 3 のクロック CLK3 への乗せ換えを行い、書き込み側のクロックは第 2 のクロック CLK2 となり、読み出し側のクロックは第 3 のクロック CLK3 となり、第 3 の系統の水平同期信号 H3 に応じて動作する。

【0064】

水平拡大部 91 は、第 3 のクロック CLK3 を基準にして第 3 の系統の水平同期信号 H3 に応じて動作し、ラインメモリ 81 に蓄えられたデータを用いて水平拡大処理を行う。同期処理部 6 は、外部から所定の同期信号 SY を受け、同期信号として各ブロックへ上記の第 1 ないし第 3 のクロック CLK1 ~ CLK3、第 1 ないし第 3 の系統の水平同期信号 H1 ~ H3 ならびに第 1 および第 2 の系統の垂直同期信号 V1, V2 を出力する。

【0065】

図 6 は、図 5 に示す映像信号変換装置の各同期信号を説明するためのタイミング図である。図 6 に示すように、第 1 のクロック CLK1 系の同期信号には、入力側の水平同期信号である第 1 の水平同期信号 H11 と、入力側の垂直同期信号である第 1 の垂直同期信号 V11 とがある。

【 0 0 6 6 】

第 2 のクロック C L K 2 系の同期信号には、第 1 の水平同期信号 H 1 1 を第 2 のクロック C L K 2 でラッチし直した第 1 のラッチ水平同期信号 H 1 2 と、第 1 の垂直同期信号 V 1 1 を第 2 のクロック C L K 2 でラッチし直した第 1 のラッチ垂直同期信号 V 1 2 とがあり、また、第 2 の水平同期信号 H 2 1 と、第 2 の水平同期信号 H 2 1 を半位相遅らせた第 2 の遅延水平同期信号 H 2 D と、第 2 の水平同期信号 H 2 1 の倍周波数の第 2 の倍水平同期信号 H 2 H と、垂直周波数変換後（フィールドメモリ後）の第 2 の垂直同期信号 V 2 1 があり、また、走査線変換後には、第 3 の水平同期信号 H 3 1 と、第 2 の垂直同期信号 V 2 1 を第 3 の水平同期信号 H 3 1 で同期させた第 2 のラッチ垂直同期信号 V 2 P とがある。

【 0 0 6 7 】

第 3 のクロック C L K 3 系には、第 3 の水平同期信号 H 3 1 を第 3 のクロック C L K 3 でラッチし直した第 3 のラッチ水平同期信号 H 3 3 がある。

【 0 0 6 8 】

上記の同期信号のうち、第 1 の水平同期信号 H 1 1 および第 1 のラッチ水平同期信号 H 1 2 が第 1 の系統の水平同期信号 H 1 となり、第 1 の垂直同期信号 V 1 1 および第 1 のラッチ垂直同期信号 V 1 2 が第 1 の系統の垂直同期信号 V 1 となり、第 2 の水平同期信号 H 2 1、第 2 の遅延水平同期信号 H 2 D および第 2 の倍水平同期信号 H 2 H が第 2 の系統の水平同期信号 H 2 となり、第 2 の垂直同期信号 V 2 1 および第 2 のラッチ垂直同期信号 V 2 P が第 2 の系統の垂直同期信号 V 2 となり、第 3 の水平同期信号 H 3 1 および第 3 のラッチ水平同期信号 H 3 3 が第 3 の系統の水平同期信号 H 3 となり、それぞれ同期制御部 6 から各ブロックへ出力される。

【 0 0 6 9 】

なお、I P 変換時に水平同期信号および垂直同期信号が同位相である場合を奇数フィールドとし、半位相ずれている場合を偶数フィールドとする。また、I P 変換をしない場合、第 2 の水平同期信号 H 2 1、第 2 の遅延水平同期信号 H 2 D および第 2 の倍水平同期信号 H 2 H は同じ信号となる。

【 0 0 7 0 】

上記の各同期信号がどのように供給されるかについてさらに詳細に説明する。

図 7 ないし図 9 は、図 5 に示す映像信号変換装置の構成をさらに具体的に示すブロック図である。

【0071】

図 7 に示す AD 変換器 8 は、図 5 に示す映像信号変換装置外部に配置され、アナログの映像信号 AV をデジタルの映像信号に変換して水平フィルタ 11 へ出力する。水平フィルタ 11 には、AD 変換器 8 のサンプリングクロックと同一の第 1 のクロック CLK1 が供給される。

【0072】

ラインメモリ 12 は、2 本の並列に並んだラインメモリ 14 a、14 b、切り換え回路 13、15 を含む。ラインメモリ 12 の書き込み側には第 1 のクロック CLK1 および第 1 の水平同期信号 H11 が供給され、その読み出し側には第 2 のクロック CLK2 および第 1 のラッチ水平同期信号 H12 が供給される。

【0073】

フィールドメモリ部 7 は、フィールドメモリ 7 a、7 b、7 c を含み、本実施の形態の場合、フィールドメモリ 7 a、7 b、7 c には、32 ビット幅の 16 M ビットの容量を有する SDRAM が用いられている。

【0074】

メモリ制御部 21 は、書き込み制御部 22、読み出し制御部 23、ビット幅変換部 24 およびビット幅逆変換部 25 を含む。メモリ制御部 21 は、3 つのフィールドメモリ 7 a、7 b、7 c を制御する。

【0075】

書き込み制御部 22 は、第 2 のクロック CLK2、第 1 のラッチ水平同期信号 H12 および第 1 のラッチ垂直同期信号 V12 を供給され、書き込みアドレスおよび制御信号を発生させ、フィールドメモリ 7 a、7 b、7 c の書き込み動作を制御する。

【0076】

読み出し制御部 23 は、第 2 のクロック CLK2、第 2 の水平同期信号 H21、第 2 の遅延水平同期信号 H2D、第 2 の倍水平同期信号 H2H および第 2 の垂

直同期信号V21を供給され、読み出しアドレスおよび制御信号を発生させ、フィールドメモリ7a, 7b, 7cの読み出し動作を制御する。

【0077】

ビット幅変換部24は、ラインメモリ12から出力される映像信号のビット幅をフィールドメモリ7a, 7b, 7cのビット幅である32ビット幅に変換してフィールドメモリ7a, 7b, 7cのうちの一つへ出力する。ビット幅逆変換部25は、フィールドメモリ7a, 7b, 7cから出力される32ビット幅のデータを次段のラインメモリ31が要求するビット幅に変換した信号S1～S3を図8に示すラインメモリ31へ出力する。

【0078】

次に、図8に示すラインメモリ31は、ラインメモリ32b, 32c, 33b, 33c, 33d, 34b, 34cを含む。ラインメモリ31は、IP変換用のデータを蓄えるラインメモリであり、その書き込み側には第2のクロックCLK2および第2の遅延水平同期信号H2Dが供給され、その読み出し側には第2のクロックCLK2、第2の水平同期信号H21および第2の遅延水平同期信号H2Dが供給される。

【0079】

ラインメモリ32b, 32cは直列に接続され、ラインメモリ33b, 33c, 33dは直列に接続され、ラインメモリ34b, 34cは直列に接続され、それぞれ読み出しと次段の書き込みが同時に発生するように構成されている。

【0080】

ラインメモリ32b, 32cは、N+1フィールド（後フィールド）のデータを蓄えるラインメモリであり、フィールドメモリ部7からのスルー出力PREA、ラインメモリ32bの出力PREB、ラインメモリ32cの出力PRECの順に古いラインの出力となる。

【0081】

ラインメモリ33b, 33c, 33dは、Nフィールド（自フィールド）のデータを蓄えるラインメモリであり、フィールドメモリ部7からのスルー出力MIDA、ラインメモリ33bの出力MIDB、ラインメモリ33cの出力MIDC

、ラインメモリ33dの出力MIDDの順に古いライン出力となる。

【0082】

ラインメモリ34b、34cは、N-1フィールド（前フィールド）のデータを蓄えるラインメモリであり、フィールドメモリ部7からのスルー出力POSA、ラインメモリ34bの出力POSB、ラインメモリ34cの出力POSCの順に古いラインの出力となる。

【0083】

IP変換部41は、ハイパスフィルタ42a、42b、ローパスフィルタ43、補間ライン合成部44および切り換え回路45を含む。IP変換部41は、第2のクロックCLK2、第2の水平同期信号H21および第2の倍水平同期信号H2Hにより動作する。

【0084】

ハイパスフィルタ42aは、N+1フィールドの3ライン分のハイパスフィルタであり、ローパスフィルタ43は、Nフィールドの4ライン分のローパスフィルタであり、ハイパスフィルタ42bは、N-1フィールドの3ライン分のハイパスフィルタである。

【0085】

補間ライン合成部44は、ハイパスフィルタ42a、42bおよびローパスフィルタ43の出力から補間ラインを合成し、切り換え回路45へ出力する。切り換え回路45は、補間ラインの出力と現ラインの出力MIDCとを切り換えて出力し、入力される信号がプログレッシブ信号である場合、常に現ライン側を選択する。なお、ラインメモリ31およびIP変換部41として、図35に示す走査線変換回路と同様のものを用いたが、この例に特に限定されず、他のIP変換を行う回路を用いてもよい。

【0086】

ラインメモリ51は、ラインメモリ52a～52dを含む。ラインメモリ51は、走査線変換用のデータを蓄えるラインメモリであり、その書き込み側は第2のクロックCLK2および第2の倍水平同期信号H2Hにより制御され、読み出し側は第2のクロックCLK2および第3の水平同期信号H31により制御され

る。ラインメモリ52a～52dは、読み出しと次段の書き込みとが同時に発生するように構成され、出力PA～PDをそれぞれ出力する。

【0087】

走査線変換部61は、係数発生部62、乗算器63a～63dおよび加算器64を含む。走査線変換部61は、第2のクロックCLK2、第3の水平同期信号H31および第2のラッチ垂直同期信号V2Pにより動作する。

【0088】

乗算器63a～63dは、ラインメモリ51の出力PA～PDの各データと係数発生部62により発生される係数とを掛け合わせる。加算器64は、乗算器63a～63dから出力されるデータを加算し、走査線変換後の映像データS4を図9に示す水平圧縮部71へ出力する。なお、走査線変換部61として、図37に示す画像処理装置と同様のものを用いたが、この例に特に限定されず、他の走査線変換を行う回路を用いてもよい。

【0089】

次に、図9に示す水平圧縮部71は、第2のクロックCLK2により動作し、係数発生部72、ラッチ回路73、乗算器74a、74bおよび加算器75を含む。乗算器74aは、係数発生部72から出力される係数と走査線変換後の映像データS4とを乗算し、乗算器74bは、係数発生部72から出力される係数と走査線変換後の映像データS4をラッチ回路73により1T（1クロック）でラッチしたデータとを乗算する。加算器75は、乗算器74aの出力および乗算器74bの出力を加算し、ラインメモリ81へ出力する。

【0090】

ラインメモリ81は、水平画素変換用のデータを蓄えるラインメモリであり、その書き込み側は第2のクロックCLK2および第3の水平同期信号H31により動作し、その読み出し側は第3のクロックCLK3および第3のラッチ水平同期信号H33により動作する。

【0091】

水平拡大部91は、第3のクロックCLK3により動作し、係数発生部92、ラッチ回路93、乗算器94a、94bおよび加算器95を含む。水平拡大部9

1 は、水平圧縮部 7 1 と同様に構成され、係数発生部 9 2 から出力される係数とラインメモリ 8 1 から出力されるデータとを乗算し、変換後の映像信号 TV を出力する。

【0092】

なお、本実施の形態では、例えば、映像信号のビット幅が 8 ビット幅で RGB 方式の映像信号の場合、 $8 \text{ ビット} \times 3 = 24 \text{ ビット}$ 幅に対応する回路が設けられ、また、YUV 方式の映像信号の場合、各ブロックを Y 系と UV 系とに分けて構成してもよい。

【0093】

本実施の形態では、フィールドメモリ部 7 が記憶手段に相当し、ラインメモリ 1 2 およびメモリ制御部 2 1 が垂直周波数変換処理手段に相当し、ラインメモリ 3 1 および IP 変換部 4 1 がインターレース/プログレッシブ変換処理手段に相当し、ラインメモリ 5 1 および走査線変換部 6 1 が走査線変換処理手段に相当し、水平圧縮部 7 1、ラインメモリ 8 1 および水平拡大部 9 1 が水平画素変換処理手段に相当し、同期処理部 6 が同期制御手段に相当する。また、ラインメモリ 1 2 が第 1 のラインメモリに相当し、メモリ制御部 2 1 が垂直周波数変換手段に相当し、ラインメモリ 3 1 が第 2 のラインメモリに相当し、IP 変換部 4 1 がインターレース/プログレッシブ変換手段に相当し、ラインメモリ 5 1 が第 3 のラインメモリに相当し、走査線変換部 6 1 が走査線変換手段に相当し、水平圧縮部 7 1 が水平圧縮手段に相当し、ラインメモリ 8 1 が第 4 のラインメモリに相当し、水平拡大部 9 1 が水平拡大手段に相当する。

【0094】

以下、上記のように構成された映像信号変換装置の各ブロックの動作およびデータの受け渡しについて説明する。

【0095】

まず、ラインメモリ 1 2 について説明する。ラインメモリ 1 2 は、クロックの乗せ換えすなわち第 1 のクロック CLK 1 から第 2 のクロック CLK 2 への乗せ換えを行うとともに、フィールドメモリ 7 a, 7 b, 7 c へ書き込むデータのバッファ的役割を行う。IP 変換を行う場合、3 つのフィールドの情報が必要にな

るため、3つのフィールドメモリ7a, 7b, 7cのすべてが読み出し動作を行う。この場合、読み出し動作と書き込み動作とが一致しないようにするためには、4つのフィールドメモリを持てばよいが、不経済となる。したがって、読み出し期間の間を縫って書き込み処理を行うことができるように、ラインメモリ12が挿入される。

【0096】

次に、メモリ制御部21によるフィールドメモリ7a~7cの書き込みおよび読み出し動作について説明する。図10は、メモリ制御部21によるフィールドメモリ7a~7cの書き込みおよび読み出し動作を説明するためのタイミング図である。

【0097】

図10の(a)に示すように、IP変換および垂直周波数変換を行わない場合、フィールドメモリ7aに書き込まれたデータは、次のフィールドで読み出される。このとき、フィールドメモリ7bが書き込み状態にあり、すなわち3つのフィールドメモリ7a~7cのうちの1つが書き込み状態にあり、他の1つが読み出し状態にあり、残りの一つは何もしない状態にある。

【0098】

図10の(b)に示すように、IP変換を行う場合、フィールドメモリ7a~7cに書き込まれた各データは3フィールド間保持され、書き込まれた次のフィールドから3回読み出されることになる。例えば、フィールドメモリ7aに書き込まれたデータは、2フィールド遅れて自フィールド(Nフィールド)のデータとして出力される。この場合、例えば、フィールドメモリ7aに書き込みが発生している場合でも、フィールドメモリ7aから読み出しが発生する。つまり、2つのフィールドメモリが書き込み状態と読み出し状態とを時分割に切り換え、残りの2つのフィールドメモリが読み出し状態にある。このとき、IP変換処理の都合上、読み出しを優先することになるため、以下に説明するように、フィールドメモリ7a~7cの書き込みバッファ用のラインメモリ12が必要になる。

【0099】

図10の(c)に示すように、垂直周波数変換、例えば4→3変換すなわち垂

直周波数を 8 0 H z から 6 0 H z へ変換する場合、4 フィールドのデータを書き込んでもそのうち 1 回のデータは不要なデータとなる。したがって、垂直周波数変換を行うときは、この不要データを書き込まないように予め処理する。具体的には、読み出し側の 1 フィールド期間内に第 1 のラッチ垂直同期信号 V 1 2 (入力側の垂直同期信号) が 2 回入力されたフィールドの次のフィールドを書き込まないように制御する。この結果、読み出し時は 3 つのフィールドメモリ 7 a ~ 7 c のデータがフィールドごとに順に読み出されることになる。このとき、3 つのフィールドメモリ 7 a ~ 7 c のうちの 1 つが書き込み状態にあり、他の 1 つが読み出し状態にあり、残りの一つは何もしない状態にある。

【 0 1 0 0 】

次に、ラインメモリ 1 2 に 2 本のラインメモリ 1 4 a , 1 4 b を並列に用いている理由について説明する。これは、I P 変換時に第 1 のラッチ水平同期信号 H 1 2 の周波数を第 2 の水平同期信号 H 2 1 の周波数へ変換する必要があるためである。その原理について、図 1 1 を用いて説明する。

【 0 1 0 1 】

フィールドメモリ部 7 への書き込みが第 1 のラッチ水平同期信号 H 1 2 により制御されるのに対し、図 1 1 に示す第 2 の水平同期信号 H 2 1 によりフィールドメモリ部 7 から読み出しが行われている場合、ラインメモリ 1 4 a , 1 4 b では、書き込みが優先され、書き込まれていない期間でフィールドメモリ部 7 へデータが読み出される。

【 0 1 0 2 】

一方、図 1 0 を用いて説明したように、I P 変換時に、フィールドメモリ部 7 は、書き込まれている間に読み出しも同時に行わなければならない。この場合、フィールドメモリ部 7 では読み出しが優先されるので、読み出しが発生していない期間にラインメモリ 1 4 a , 1 4 b からのデータを受けなければならない。また、入力側の第 1 のクロック C L K 1 に対して内部の第 2 のクロック C L K 2 は十分に高い周波数であるため、I P 変換時では、ラインメモリ 1 4 a , 1 4 b の書き込み期間に対して読み出し期間が短くなる。

【 0 1 0 3 】

これらの条件を総合すると、図11の(a)に示すように、1本のラインメモリでは、期間171のようにどうしても書き込みに対して読み出しの追い越しが発生してしまい、1ライン分の出力に対して、複数のラインの情報が混在してしまう。これを避けるために2本のラインメモリが用いられ、図11の(b)に示すように、ラインメモリ14a, 14bに書き込まれたデータは、第1のラッチ水平同期信号H12が次に入力されるまで保持され、次の第1のラッチ水平同期信号H12が入力されかつフィールドメモリ部7が読み出し状態にない場合に、保持していたデータをフィールドメモリ部7へ書き込む。

【0104】

このようにして、IP変換時のように1つのフィールドメモリに対して書き込みと読み出しとが混在する場合でも、データの追い越しを避け、第1のラッチ水平同期信号H12を第2の水平同期信号H21に変換することができる。

【0105】

次に、IP変換について説明する。図12は、最適フィルタ補間、フィールド間補間およびフィールド内補間によるIP変換の例を説明するための模式図である。なお、図中、白丸は補間処理に用いられるラインを示し、黒丸は補間ラインを示す。

【0106】

本実施の形態では、上記したように、図12の(a)に示すように、IP変換用のラインメモリ31からの出力を用いて最適フィルタ補間によりIP変換を行っている。IP変換としては、その他にも図12の(b)に示すように、前フィールドのデータをそのままもってくるフィールド間補間、図12の(c)に示すように自フィールドの上下の2つのラインから平均をとるフィールド内補間があり、前者は静止画に適し、後者は動画に適する。また、フィールド間補間およびフィールド内補間を動き検出することにより段階的に切り換えている方法も一般的に広く用いられている。このように、IP変換は、上記の最適フィルタ補間による例に特に限定されず、上記のような他の種々のIP変換を用いてもよい。

【0107】

次に、IP変換および走査線変換におけるデータの転送タイミングについて説

明する。

【0108】

図13は、IP変換を行う場合の走査線変換前後の各ラインを説明するための模式図である。図13に示すラインA、ラインC、ラインE、ラインG、ラインI、ラインK、…は、入力される映像信号に実際にあるラインであり、ハッチングで示したラインB、ラインD、ラインF、ラインH、ラインJ、…は、IP変換により補間されるラインである。

【0109】

また、図13に示すように、IP変換後のラインに対して4→3変換の走査線変換を行い、奇数フィールドのラインAの位置に変換後の始めのライン1が位置する場合、変換後のラインの位置は、ライン1、ライン2、ライン3、ライン4、ライン5、ライン6、ライン7、ライン8、…となる。一方、偶数フィールドの場合には、奇数フィールドと比較して各ラインが半ライン分遅れるため、奇数フィールドのラインBの位置にラインAが位置することになる。したがって、ライン4を作成する場合、奇数フィールドではラインEのデータを最も強く反映させ、偶数フィールドではラインDのデータを最も強く反映させるようにしなければならない。上記のように、IP変換および走査線変換を行う場合、各データは以下のタイミングで転送され処理される。

【0110】

図14は、奇数フィールドの場合のIP変換および走査線変換のデータの転送タイミングを説明するための図であり、図15は、偶数フィールドの場合のIP変換および走査線変換のデータの転送タイミングを説明するための図である。なお、図14および図15では、IP変換用のラインメモリ32b、32c、33b～33d、34b、34cを図16に示すように模式的に表し、走査線変換用のラインメモリ52a～52dを図17に示すように模式的に表している。

【0111】

まず、図14に示す奇数フィールドの場合について説明する。フィールドメモリ7a～7cから出力される映像データは、第2の水平同期信号H21に対して半位相ずれた第2の遅延水平同期信号H2Dに同期して転送される。

【0112】

例えば、第2の遅延水平同期信号H2Dを基準にして、ラインAのデータを出カMIDAとして転送すると同時にライン33bに書き込みを行う。このとき、N-1およびN+1フィールドのラインAは偶数フィールドであるため、半位相遅れており、まだ転送されない。

【0113】

次の第2の遅延水平同期信号H2Dが入力されると、ラインCのデータが出カMIDAとして転送され、N+1およびN-1フィールドのラインAのデータが出カPREA、POSAとして転送されると同時にラインメモリ33b、32b、34bに書き込まれ、ラインメモリ33bのデータが次段のラインメモリ33cに書き込まれる。

【0114】

この結果、ラインメモリ33cにはNフィールドのラインAのデータが、ラインメモリ33bにはNフィールドのラインCのデータが、ラインメモリ32bにはN+1フィールドのラインAのデータが、ラインメモリ34bにはN-1フィールドのラインAのデータがそれぞれ蓄えられることになる。

【0115】

次に、第2の水平同期信号H21が入力されると、ラインメモリ33cの出カMIDCのみが出カされ、このとき、他のラインメモリのデータは次段のラインメモリへは書き込まれない。

【0116】

次に、第2の遅延水平同期信号H2Dが入力されると、NフィールドのラインEのデータならびにN-1およびN+1フィールドのラインCのデータがフィールドメモリ7a~7cから転送され、補間ラインBのデータが合成されるとともに、次段のラインメモリへの書き込みが発生する。

【0117】

このように、第2の遅延水平同期信号H2Dが入力されると、フィールドメモリ7a~7cからデータが転送され、同時にラインメモリのデータが次段のラインメモリへ書き込まれてラインメモリ間でのデータのローテーションが行われ、

、さらに補間ラインが合成される。また、第2の水平同期信号H21が入力されると、ラインメモリ33cの出力MIDCのみが現ラインのデータとして出力される。

【0118】

次に、走査線変換用のラインメモリ51には、IP変換部41からデータが転送され、第2の倍水平同期信号H2Hに同期して新しいラインのデータが書き込まれ、同時に古いデータが消去されるように、次段のラインメモリへの転送が行われる。

【0119】

一方、ラインメモリ51の読み出しは、第3の水平同期信号H31に同期して行われ、同時に係数発生部62からの出力に応じて演算が行われる。このとき、係数発生部62から走査線変換前のラインと走査線変換後のラインとの位相によって適当な係数が発生される。例えば、ラインAと同位相にあるライン1に対しては、係数1が発生され、ラインAのデータそのものが転送される。

【0120】

また、ラインBとラインCとを1:2の割合で分割した位置にあるライン2を合成する場合、ラインBに対して係数2/3が、ラインCに対して係数1/3が、その他のラインに対して係数0がそれぞれ掛け合わされ、加算器64により常にゲインが1となるように制御される。以降、図14中に示された各係数により上記と同様に乗算が行われていく。

【0121】

このようにして合成されたデータが、水平圧縮部71を介してラインメモリ81へ書き込まれる。なお、図14では走査線変換として4→3変換の場合を示し、4周期分の第2の倍水平同期信号H2Hに対して3周期分の第3の水平同期信号H31が対応している。また、第2の倍水平同期信号H2Hと第3の水平同期信号H31との位相関係も係数1となるライン1を合成するとき一致するように、第2の倍水平同期信号H2Hおよび第3の水平同期信号H31が同期処理部6により作成される。

【0122】

次に、偶数フィールドの場合について説明する。図15に示すように、偶数フィールドの場合、前後のフィールドのデータは、自フィールドのデータに対して半位相進んだ状態にある。したがって、フィールドメモリ7a~7cからラインAのデータが3フィールドとともに同時に転送され、それぞれ出力PREA, MIDA, POSAとして出力され、同時にラインメモリ32b, 33b, 34bへ書き込まれる。その後、奇数フィールドと同様に、第2の遅延水平同期信号H2Dに同期してフィールドメモリ7a~7cからの転送および次段のラインメモリへの書き込みが行われ、第2の水平同期信号H21に同期して現ラインのデータが出力MIDCとして転送される。

【0123】

次に、偶数フィールドの走査線変換について説明する。奇数フィールドの場合、ラインCのデータを走査線変換用のラインメモリ51へ転送した時点で、ライン1としてラインAをラインメモリ52cから読み出していた。一方、偶数フィールドの場合、ライン1の合成は、ラインBのデータを転送した時点で行われ、ラインAのさらに上にあるラインすなわち黒ラインのデータをラインメモリ52cから読み出すことになる。以降、奇数フィールドと同様に、ライン2は、例えばラインAのデータが2/3倍にされ、ラインBのデータが1/3倍にされ、両者が加算されて合成され、水平圧縮部71を介して水平画素変換用のラインメモリ81へ書き込まれる。

【0124】

次に、IP変換を行わずに走査線変換を行う場合について説明する。図18は、IP変換を行わずに走査線変換を行う場合のデータの転送タイミングを説明するための図であり、図19は、IP変換を行わない場合の走査線変換前後の各ラインを説明するための模式図である。

【0125】

図18および図19に示すように、IP変換を行わない場合、第2の水平同期信号H21、第2の遅延水平同期信号H2D、第2の倍水平同期信号H2Hがすべて同じ信号となり、現ラインの処理のみとなる。したがって、第2の遅延水平同期信号H2Dが入力されると、自フィールドのデータのみがフィールドメモリ

7a~7cから転送され、同時に前段のラインメモリから次段のラインメモリへ順次データが書き込まれていくという手順をとる。また、走査線変換用のラインメモリ51への転送では、第2の水平同期信号H21(=第2の遅延水平同期信号H2D、第2の倍水平同期信号H2H)に同期して出力MIDCのデータが転送される。なお、走査線変換部61の動作は、図14に示す奇数フィールドの場合と同様である。

【0126】

次に、IP変換時のデータ転送タイミングについてさらに詳細に説明する。図20は、IP変換時のデータ転送タイミングを説明するための図であり、前述した図14および図15を書き直した図である。

【0127】

図20の(a)に示すように、映像信号として、フィールドA, B, C, Dが順に入力され、その同期信号である第1の水平同期信号H11および第1の垂直同期信号V11の位相関係から、フィールドA, Cが偶数フィールドであり、フィールドB, Dが奇数フィールドであり、各フィールドのライン番号が垂直期間の始めから例えばフィールドAではA1, A2, A3, ...であり、また、有効映像期間として、フィールドメモリ7a~7cに蓄えられるラインは5番目のラインA5, B5, C5, D5, ...からであると仮定する。この場合のフィールドメモリ7a~7cの出力シーケンスが図20の(b)および(c)に示されている。

【0128】

まず、奇数フィールドの処理として、フィールドBに対する補間ラインを作成する場合について考える。図20の(b)に示すように、第2の垂直同期信号V21が入力されて2ライン目から転送が開始されると仮定すると、図14に示す場合と同様に第2の遅延水平同期信号H2Dによりフィールドメモリ7a~7cからの転送が発生し、まず、NフィールドのラインB5のデータが出力MIDAとして転送されるとともに、同時にラインメモリ33bに書き込まれる。このとき、N+1フィールドの出力PREA、N-1フィールドの出力POSAには出力は現れない。

【0129】

このようにして、第2の遅延水平同期信号H2Dを基準にして、例えば、出力MIDAにラインB8のデータが出力された時は、出力MIDBにはラインB7のデータが、出力MIDCにはラインB6のデータが、出力MIDDにはラインB5のデータが、出力POSAにはラインA7のデータが、出力POSBにはラインA6のデータが、出力POSCにはラインA5のデータが、出力PREAにはラインC7のデータが、出力PREBにはラインC6のデータが、出力PRECにはラインC5のデータがそれぞれ出力される。これらのすべてのデータまたは一部のデータを利用して、ラインB7とラインB6との間の補間ラインが合成され、同時に次段のラインメモリに順に各データが書き込まれ、データのローテーションがおこる。

【0130】

次の第2の水平同期信号H21が入力された時は、出力MIDCにはラインB7のデータが書き込まれているため、出力MIDCのみから現ラインB7のデータが転送される。

【0131】

このように、IP変換を行う期間は、第2の遅延水平同期信号H2Dに同期してフィールドメモリ7a～cからのデータの転送、次段のラインメモリへのデータのローテーションおよび補間ラインの合成を行う補間ライン合成期間151と、第2の水平同期信号H21に同期して現ラインのデータを読み出す現ライン転送期間152とに分けられ、IP変換が行われる。

【0132】

最後に、水平画素変換について説明する。図21は、水平画素変換の動作を説明するためのタイミング図である。上記したように、水平画素変換を行うブロックは、縮小処理を行う水平圧縮部71と拡大処理を行う水平拡大部91とに分けられている。

【0133】

水平圧縮部71による縮小処理は、ラインメモリ81への書き込み時に行われる。図21の(a)は、水平画素変換として3→2変換を行う例を示しており、

この場合、3→2変換であるため、第2のクロックCLK2の3クロックに1回はラインメモリ81への書き込みが発生しないことになる。なお、水平圧縮部71において、変換する画素の位置に応じた係数が係数発生部72から供給されて演算される処理は、走査線変換部61と基本的に同様である。

【0134】

水平拡大部91による拡大処理は、ラインメモリ81の読み出し時に行われる。図21の(b)では、水平画素変換として2→3変換を行う例を示しており、この場合、第3のクロックCLK3の3クロックに1回はラインメモリ81から読み出しが発生しないことになる。なお、水平拡大部91において、変換する画素の位置に応じた係数が係数発生部92から供給されて演算される処理は、走査線変換部61と基本的に同様である。

【0135】

ここで、上記の拡大処理および縮小処理を同時に行う場合の不都合について説明する。図21の(c)に示すように、ラインメモリ81の書き込み時に拡大処理を行おうとすると、1クロック(1T)の期間中に2つのデータを同時に作らなければならない。このような回路は複雑になってしまい、拡大率が大きくなった場合には、同時に作成する画素数がさらに増加するため、あまり好ましくない。したがって、水平画素変換に関しては、本実施の形態のように、水平圧縮部71と水平拡大部91とを別々に使用し、その間に水平画素変換用のデータを蓄えるラインメモリ81を配置し、さらにラインメモリ81によりクロックの書き換えを行うことが好ましい。

【0136】

上記のように、本実施の形態では、垂直周波数変換、IP変換、走査線変換および水平画素変換を行う個別のブロック間で信号の受け渡しを適切なタイミングで行うことができ、また、IP変換を行う場合の信号の受け渡しおよびそのタイミングを明確にすることができ、マトリックス表示を行う表示装置に適した映像信号への変換に要求される信号処理を総合的かつに簡単に実現することができる。

【0137】

(第3の実施の形態)

次に、本発明の第3の実施の形態について説明する。本実施の形態では、垂直周波数変換およびフィールドメモリの前後で水平周波数の変換（第1のラッチ水平同期信号H12の周波数から第2の水平同期信号H21の周波数への変換）を行わない場合に走査線変換を行うものである。

【0138】

例えば、走査線変換として2→3変換の拡大処理を行う場合、走査線変換後の第3の水平同期信号H31は、第1の水平同期信号H11の1.5倍の周波数となる。この場合、単純に出力側のクロック周波数も1.5倍のものが必要となり、次段の回路には、高い周波数に対応可能な回路が要求される。一方、縮小処理として3→2変換を行う場合、例えば第1の水平同期信号H11のライン数が525本であったとすると、変換後の第3の水平同期信号H31のライン数は、 $525 \times 2 / 3 = 350$ ラインとなってしまふ。このとき、垂直方向の画素数が480ラインであるディスプレイパネルに映像を出画する場合、130ライン分足りなくなってしまう。したがって、次段以降でこの不足分に対策しない限り、出力が不定となる。本実施の形態では、このような課題を解決するため、以下のよう構成されている。

【0139】

図22は、本発明の第3の実施の形態による映像信号変換装置の要部の構成を示すブロック図である。図22に示す映像信号変換装置では、フィールドメモリ部7、メモリ制御部21、同期処理部6を備える。メモリ制御部21は、読み出し開始アドレス発生部101、黒ライン挿入部102を含む。同期処理部6は、読み出し水平同期信号発生部103を含む。

【0140】

読み出し開始アドレス発生部101は、図7に示すフィールドメモリ部7の読み出し動作を制御する読み出し制御部23の一部であり、読み出し開始アドレスを発生させる。黒ライン挿入部102は、映像信号の特定期間に黒ラインのデータを挿入する。

【0141】

読み出し水平同期信号発生部 1 0 3 は、同期処理部 6 内にあり、フィールドメモリ部 7 の読み出し用の第 2 水平同期信号 H 2 1 を発生させる。なお、上記の各ブロック以外の構成は、第 2 の実施の形態と同様であるので詳細な説明を省略する。

【 0 1 4 2 】

本実施の形態では、読み出し開始アドレス発生部 1 0 1 がアドレス発生手段に相当し、黒ライン挿入部 1 0 2 が黒ライン挿入手段に相当し、読み出し水平同期信号発生部 1 0 3 が水平同期信号発生手段に相当し、その他は第 2 の実施の形態と同様である。

【 0 1 4 3 】

図 2 3 は、走査線変換による拡大処理時の各水平同期信号のタイミング図であり、図 2 4 は、走査線変換による拡大処理を説明するための表示画像を示す模式図であり、図 2 5 は、拡大処理時のフィールドメモリ部 7 の書き込みおよび読み出しアドレスを説明するための模式図である。

【 0 1 4 4 】

上記のような課題に対処するためには、拡大処理時には、入力される映像信号により表示される表示画像の上下のデータは不要であるため、フィールドメモリ部 7 の出力から上下のデータを切り落とし、同時にフィールドメモリ部 7 の読み出し用の水平同期信号である第 2 の水平同期信号 H 2 1 の周波数を下げ、走査線変換後の第 3 の水平同期信号 H 3 1 の周波数が走査線変換をしない場合と同等になるように操作すればよい。

【 0 1 4 5 】

具体的には、図 2 3 に示すように、2 → 3 変換による拡大処理の場合、映像信号は、第 1 のラッチ水平同期信号 H 1 2 に同期してライン 1 のデータから順にフィールドメモリ部 7 に書き込まれる。読み出し水平同期信号発生部 1 0 3 から出力されるフィールドメモリ部 7 の出力側の水平同期信号である第 2 の水平同期信号 H 2 1 は、2 → 3 変換することを見越して、その周期が予め 1.5 倍にされるとともに、不要な上下のデータが切り落とされる。図 2 3 では、入力される映像信号に対してライン 3 から読み出される。

【0146】

すなわち、図25に示すように、すべての映像信号を取り込むようにフィールドメモリ部7への書き込み動作が制御され、一方、書き込み先頭アドレスより大きい読み出し先頭アドレスを読み出し開始アドレス発生部101により発生させ、不必要な上のラインのデータを読み出さないように読み出し動作が制御される。その後、走査線変換後の水平同期信号である第3の水平同期信号H31は、第1のラッチ水平同期信号H12と同じ周期になっているが、拡大処理は完了している。上記の処理を表示画像により模式的に表すと、図24に示すようになる。

【0147】

次に、縮小処理について図26ないし図28を用いて説明する。図26は、走査線変換による縮小処理時の各水平同期信号のタイミング図であり、図27は、走査線変換による縮小処理を説明するための表示画像を示す模式図であり、図28は、縮小処理時のフィールドメモリ部7の書き込みおよび読み出しアドレスを説明するための模式図である。

【0148】

図26に示すように、4→3変換による縮小処理の場合、フィールドメモリ部7の出力側の水平同期信号である第2の水平同期信号H21の周期を予め0.75倍にしておくことにより、走査線変換後の水平同期信号である第3の水平同期信号H31を一定に保つことができる。

【0149】

しかしながら、縮小処理の場合、映像期間を表示画面の真ん中に持ってくるためには、その上下の期間に何らかのダミー信号を挿入しなければならない。このダミー信号として一般的には黒ラインのデータが用いられるため、本実施の形態では、フィールドメモリ部7からの読み出し時に、黒ライン挿入部102により黒ラインのデータを挿入した後に書き込まれたデータを出力し、さらに、書き込まれたデータの出力が終了した後も、必要に応じて黒ラインのデータを挿入している。上記の処理を表示画像により模式的に表すと、図27に示すようになる。

【0150】

上記の場合、図28に示すように、読み出し開始アドレス発生部101は、黒

ラインを挿入するとき読み出し先頭アドレスとして負の値を設定し、この負の設定値をカウントアップし、このカウントアップ値が負数の場合に黒ライン挿入部 1 0 2 を制御して黒ラインのデータを挿入する。読み出し開始アドレス発生部 1 0 1 は、カウントアップ値が 0 になった時点で、もともとフィールドメモリ部 7 に書き込まれているデータを読み出すように動作し、また、書き込まれているデータが終了した時点で再び黒ラインのデータを挿入するように動作する。

【0 1 5 1】

このようにして、縮小処理時でも、不定データが出力されることがなく、かつ出力周波数を一定に保つことができる。したがって、本実施の形態では、水平同期信号およびクロックの周波数の変動を抑えることができ、次段の回路やディスプレイパネルを安定して動作させることが可能となる。

【0 1 5 2】

(第 4 の実施の形態)

次に、本発明の第 4 の実施の形態による映像信号変換装置について説明する。図 2 9 は、本発明の第 4 の実施の形態による映像信号変換装置の要部の構成を示すブロック図である。

【0 1 5 3】

図 2 9 に示す映像信号変換装置は、フィールドメモリ部 7、メモリ制御部 2 1 および同期制御部 6 を備える。フィールドメモリ部 7 は、フィールドメモリ 7 a、7 b、7 c を含み、同期制御部 6 は、フィールド判別部 1 1 1 を含み、メモリ制御部 2 1 は、書き込み制御部 1 1 2、読み出し制御部 1 1 3、セクタ 1 1 4、1 1 6、およびレジスタ 1 1 5 a、1 1 5 b、1 1 5 c を含む。

【0 1 5 4】

フィールド判別部 1 1 1 は、第 1 の水平同期信号 H 1 1 および第 1 の垂直同期信号 V 1 1 を受け、フィールド判別情報として、入力された映像信号がインターレース信号の場合、奇数フィールドの時は 0 を、偶数フィールドの時は 1 をそれぞれ出力する。具体的には、図 3 0 に示すように、第 1 の水平同期信号 H 1 1 に対してデューティ比 5 0 % の窓関数を発生させて、窓関数がローレベルの期間に第 1 の垂直同期信号 V 1 1 のエッジがあった場合、フィールド判別信号として

0（ローレベル）を出力し、逆に窓関数がハイレベルの期間に第1の垂直同期信号V11のエッジがある場合、フィールド判別信号として1（ハイレベル）を出力する。

【0155】

書き込み制御部112は、フィールドメモリ7a～7cの書き込み制御信号を発生するとともに、セクタ114へのフィールドメモリ7a～7cに書き込みが行われているかを出力する。レジスタ115a～115cは、各フィールドメモリ7a～7cに対応して設けられ、セクタ114は、書き込みが起こっているフィールドメモリ7a～7cに対応したレジスタ115a～115cにフィールド判別信号を出力する。レジスタ115a～115cは、第1の垂直同期信号V11の位相をずらした垂直同期信号（図示省略）により書き込みが起こっているフィールドのフィールド判別信号を取り込む。

【0156】

読み出し制御部113は、フィールドメモリ7a～7cの読み出し制御信号を発生するとともに、セクタ116へのフィールドメモリ7a～7cから読み出しが発生しているかを出力する。セクタ116は、読み出しが起こっているフィールドメモリ7a～7cに対応したレジスタ115a～115cから、垂直周波数変換後の第2の垂直同期信号V21と同じ周期の読み出し信号（図示省略）により、フィールドメモリ7a～7cから読み出されているフィールドのフィールド判別信号を当該フィールドの映像信号にリンクさせて出力する。なお、上記の各ブロック以外の構成は、第2の実施の形態と同様であるので詳細な説明を省略する。

【0157】

本実施の形態では、フィールド判別部111が判別手段に相当し、書き込み制御部112、読み出し制御部113、セクタ114、116、およびレジスタ115a、115b、115cがフィールド情報記憶手段に相当し、その他は第2の実施の形態と同様である。

【0158】

次に、上記のように構成された映像信号変換装置の垂直周波数変換の動作につ

いて説明する。図 3 1 は、図 2 9 に示す映像信号変換装置の垂直周波数変換の動作を説明するためのタイミング図である。図 3 1 では、垂直周波数変換として 3 → 2 変換 (90 Hz → 60 Hz) の場合を示している。

【0159】

フィールド判別信号は、入力側の垂直同期信号である第 1 のラッチ垂直同期信号 V 1 2 に対して図示のようになっており、垂直周波数変換後の第 2 の垂直同期信号 V 2 1 が図示のようになっているとする。この場合、図 1 0 の (c) の場合と同様に、第 2 の垂直同期信号 V 2 1 の周期の中に 2 回以上第 1 の垂直同期信号 V 1 2 が入ってしまうと、次のフィールドはフィールドメモリ 7 a ~ 7 c に書き込まれない。このため、各フィールドが書き込まれるフィールドメモリは、フィールドメモリ 7 c、× (書き込みなし)、フィールドメモリ 7 a、フィールドメモリ 7 b、×、フィールドメモリ 7 c、フィールドメモリ 7 a、×、…となる。

【0160】

例えば、フィールドメモリ 7 a にフィールド期間 1 8 1 のデータが書き込まれた時は、奇数フィールドであるため、レジスタ 1 1 5 a は、ローレベルの状態になる。したがって、次にフィールドメモリ 7 a からデータが読み出される期間 1 8 2 では、レジスタ 1 1 5 a からはローレベルの信号が読み出される。また、次にフィールドメモリ 7 a に書き込みが発生した時のフィールドの状態も奇数フィールドであるから、レジスタ 1 1 5 a の状態は変化しない。したがって、その次に読み出される時もフィールド判別信号はローレベルで読み出される。レジスタ 5 b、1 1 5 c についても上記と同様である。

【0161】

このようにして、フィールドメモリ 7 a ~ 7 c から読み出されているフィールドのフィールド判別信号を当該フィールドの映像信号にリンクさせて出力し、このフィールド判別信号に応じて以降の I P 変換が行われる。なお、この場合の I P 変換は、前後のフィールドが抜けるか抜けないかわからないため、補間ラインは現フィールドのみで合成しなければならない。したがって、本実施の形態の I P 変換は、図 1 2 の (c) に示すフィールド内補間となる。

【0162】

このようにして、本実施の形態では、フィールド判別信号も映像信号と同様に記憶することにより、I P変換と垂直周波数変換とを両立することが可能となる。なお、I P変換と垂直周波数変換とを両立する理由は、ビデオデッキの早送り時や巻戻し時に垂直周波数が60Hzよりも大きくなってしまふことがあったり、P C（パーソナルコンピュータ）信号の85HzのX G A（Extended Graphics Array）インターレースといった信号に対応するためである。

【0163】

（第5の実施の形態）

次に、本発明の第5の実施の形態による映像信号変換装置について説明する。図32は、本発明の第5の実施の形態による映像信号変換装置の構成を示すブロック図である。

【0164】

図32に示す映像信号変換装置は、メモリ制御処理部2、I P変換処理部3、走査線変換処理部4、水平画素変換処理部5、同期処理部6aおよびフィールドメモリ部7を備える。

【0165】

メモリ制御処理部2は、例えば、図5に示すラインメモリ12およびメモリ制御部21から構成され、装置外部のA D変換器（図示省略）によりデジタル化された映像信号D Vを受け、書き込みおよび読み出しアドレス等の制御信号を発生させてフィールドメモリ部7へ出力し、入力される映像信号をフィールドメモリ1に書き込んだり、フィールドメモリ部7に書き込まれたデータを読み出したりして、フィールドメモリ部7との間で映像信号の受け渡しを行うとともに、必要に応じて垂直周波数変換を行う。

【0166】

I P変換処理部3は、例えば、図5に示すラインメモリ31およびI P変換部41から構成され、メモリ制御処理部2から出力される映像信号がインターレース信号であった場合にプログレッシブ信号に変換し、逆にプログレッシブ信号の場合にそのままスルーして走査線変換処理部4へ出力する。

【0167】

走査線変換処理部4は、例えば、図5に示すラインメモリ51および走査線変換部61から構成され、IP変換処理部3の出力を受け、入力される映像信号の走査線数を増減させて垂直方向の拡大処理および縮小処理を行う。

【0168】

水平画素変換処理部5は、例えば、図5に示す水平圧縮部71、ラインメモリ81および水平拡大変換部91から構成され、走査線変換処理部4から出力される映像信号の水平画素数を増減して水平方向の拡大処理および縮小処理を行い、変換された映像信号TVを表示装置（図示省略）へ出力する。

【0169】

同期処理部6aは、PLL（Phase Locked Loop）回路601、602、分周比カウンタ603、604、水晶発振子605、メモリ出力同期発生部606、Hカウンタ607、Vカウンタ608、セクタ609、フィールド判定部610、クロック乗せ換え部611、612および位相制御部613～617を含む。なお、同期処理部6aは、以下に説明する各同期信号およびクロック以外に各ブロックに必要とされる各同期信号等を第2の実施の形態と同様に供給しているが、説明を容易にするため、図示を省略している。

【0170】

PLL回路601は、外部からデジタル映像信号DVの水平同期信号HSを入力され、入力側のクロックである第1のクロックCLK1を発生させる。分周比カウンタ603は、PLL回路601の分周比を決定しすなわち第1のクロックCLK1を分周し、PLL回路601へのフィードバックパルスを発生させるとともに、当該パルスを水平同期信号H11'として位相制御部613およびクロック乗せ換え部611へ出力する。

【0171】

位相制御部613は、入力される水平同期信号H11'および外部から入力されるデジタル映像信号DVの垂直同期信号VSの位相を揃えけるとともに両同期信号をメモリ制御処理部2が必要とする位相およびパルス幅に調整し、メモリ制御処理部2のラインメモリの入力側の基準パルス（装置全体の入力側の基準パルス）となる第1の水平同期信号H11および第1の垂直同期信号V11としてメモ

リ制御処理部 2 へ出力する。

【0172】

クロック乗せ換え部 611 は、入力される水平同期信号 H11' および外部から入力されるデジタル映像信号 DV の垂直同期信号 VS を内部のクロックである第 2 のクロック CLK2 によりラッチし直し、ラッチ水平同期信号 H12' およびラッチ垂直同期信号 V12' を位相制御部 614 へ出力する。

【0173】

位相制御部 614 は、入力されるラッチ水平同期信号 H12' およびラッチ垂直同期信号 V12' の位相を揃えたとともに両同期信号をメモリ制御処理部 2 が必要とする位相およびパルス幅に調整し、メモリ制御処理部 2 のラインメモリの出力側およびメモリ制御部の入力側の基準パルスとなる第 1 のラッチ水平同期信号 H12 および第 1 のラッチ垂直同期信号 V12 としてメモリ制御処理部 2 へ出力する。

【0174】

フィールド判別部 610 は、例えば、図 29 に示すフィールド判別部 111 と同様に構成され、水平同期信号 H11' および垂直同期信号 VS を受け、図 30 と同様に、水平同期信号 H11' に対してデューティ比 50% の窓関数を発生させて、窓関数がローレベルの期間に垂直同期信号 VS のエッジがあった場合すなわち奇数フィールドの場合、フィールド判別信号 FD としてローレベルの信号を出力し、逆に窓関数がハイレベルの期間に垂直同期信号 VS のエッジがある場合すなわち偶数フィールドの場合、フィールド判別信号 FD としてハイレベルの信号を出力する。

【0175】

水晶発振子 605 は、内部のクロックである第 2 のクロック CLK2 を発生させる。メモリ出力同期発生部 606 は、第 2 のクロック CLK2 およびフィールド判別信号 FD 等を受け、メモリ制御処理部 2 のメモリ制御部の出力側の基準パルスとなる第 2 の水平同期信号 H21、第 2 の遅延水平同期信号 H2D、第 2 の倍水平同期信号 H2H および第 2 の垂直同期信号 V21 の原型となる水平同期信号 H2V、水平同期信号 H21'、遅延水平同期信号 H2D' および倍水平同期

信号H2H'を発生させ、水平同期信号H2VをVカウンタ608へ出力し、水平同期信号H21'、遅延水平同期信号H2D'および倍水平同期信号H2H'を位相制御部615へ出力する。Vカウンタ608は、メモリ出力同期発生部606から出力される水平同期信号H2Vを分周し、垂直同期信号V2'をセレクタ609へ出力する。

【0176】

セレクタ609は、位相制御部614から出力される第1のラッチ垂直同期信号V12およびVカウンタ608から出力される垂直同期信号V2'を受け、メモリ制御処理部2により垂直周波数変換を行う場合は垂直同期信号V2'を選択し、垂直周波数変換を行わない場合は第1のラッチ垂直同期信号V12を選択し、垂直同期信号V21'として位相制御部615へ出力する。

【0177】

位相制御部615は、入力される垂直同期信号V21'、水平同期信号H21'、遅延水平同期信号H2D'および倍水平同期信号H2H'の位相を揃えとともに各同期信号をメモリ制御処理部2が必要とする位相およびパルス幅に調整し、メモリ制御処理部2のメモリ制御部の出力側の基準パルスとなる第2の垂直同期信号V21、第2の水平同期信号H21、第2の遅延水平同期信号H2Dおよび第2の倍水平同期信号H2Hとしてメモリ制御処理部2へ出力するとともに、走査線変換処理部4の入力側の基準パルス（走査線変換前の基準パルス）となる第2の倍水平同期信号H2Hとして走査線変換処理部4へ出力し、さらに、第2の垂直同期信号V21を位相制御部616へ出力する。

【0178】

Hカウンタ607は、第2のクロックCLK2を分周し、水平同期信号H31'を位相制御部616へ出力するとともに、基準パルスとしてPLL回路602へ出力する。位相制御部616は、入力される垂直同期信号V21および水平同期信号H31'の位相を揃えとともに両同期信号を走査線変換処理部4が必要とする位相およびパルス幅に調整し、走査線変換処理部4の出力側の基準パルス（走査線変換後の基準パルス）となる第3の水平同期信号H31および第2のラッチ垂直同期信号V2Pとして走査線変換処理部4へ出力する。

【0179】

PLL回路602は、Hカウンタ607から出力される水平同期信号H31'を基準パルスとして入力され、第3のクロックCLK3を発生させる。分周比カウンタ604は、PLL回路602の分周比を決定しすなわち第3のクロックCLK3を分周し、PLL回路602へのフィードバックパルスを発生させるとともに、当該パルスを水平同期信号H33'として位相制御部617へ出力する。

【0180】

位相制御部617は、入力される水平同期信号H33'を水平画素変換処理部5が必要とする位相およびパルス幅に調整し、水平画素変換処理部5のラインメモリの出力側の基準パルス（装置全体の出力側の基準パルス）となる第3のラッチ水平同期信号H33として走査線変換処理部4へ出力する。

【0181】

また、メモリ出力同期発生部606は、セクタ609により選択された垂直同期信号V21'（リセットパルスRST）によりリセットされ、Hカウンタ607は、位相制御部615から出力される第2の垂直同期信号V21（リセットパルスRST）によりリセットされ、分周比カウンタ604は、クロック乗せ換え部612により第2の垂直同期信号V21を出力側のクロックである第3のクロックCLK3によりラッチし直したラッチ垂直同期信号V23（リセットパルスRST）によってリセットされる。なお、Hカウンタ607および分周比カウンタ604のリセットパルスとして、メモリ出力同期発生部606と同様に、セクタ609により選択された垂直同期信号V21'を用いてもよい。

【0182】

ここで、垂直周波数変換時にセクタ609がVカウンタ608の出力V2'を選択するため、メモリ出力同期発生部606は、自分自身で作った水平同期信号H2Vを基準に作成された垂直同期信号V2'によりリセットされ、一見意味がないように思われる。

【0183】

しかしながら、例えば、図32に示す映像信号変換装置をLSIにより作成し、複数のLSIを同期運転するときに、他のLSIから垂直周波数変換後の垂直

同期信号が入力される場合を考えると、メモリ出力同期発生部606のリセット機能が重要となる。この場合、Vカウンタ608にもリセット機能が必要であることは言うまでもない。なお、図32に示す映像信号変換装置をLSIにより作成する場合、製造プロセスによる制約によりPLL回路601、602および水晶発振子605は集積化されず、別部品から作成され、LSIに外付けされる。

【0184】

次に、図32に示すメモリ出力同期発生部606についてさらに詳細に説明する。図33は、図32に示すメモリ出力同期発生部606の一例の構成を示すブロック図である。

【0185】

図33に示すように、メモリ出力同期発生部606は、Hカウンタ701、2分周矩形波発生部702、2分周回路703、マルチプレクサ704、セクタ705、706およびORゲート707を含む。

【0186】

Hカウンタ701は、第2のクロックCLK2を分周し、第2の水平同期信号H21の倍周波数の倍水平同期信号HPを2分周矩形波発生部702、2分周回路703、マルチプレクサ704およびセクタ706の1側へ出力する。2分周矩形波発生部702は、倍水平同期信号HPを2分周し、デューティ比50%の矩形波である2分周矩形波DTを発生する。また、2分周矩形波発生部702は、セクタ608から出力される垂直同期信号V2'（リセットパルスRST）によりリセットされ、リセットされたときにフィールド判別部610から出力されるフィールド判別信号FDの値を初期値として2分周矩形波DTをマルチプレクサ704へ出力する。

【0187】

マルチプレクサ704は、2分周矩形波DTがローレベル（0）のときに倍水平同期信号HPを0側へ出力し、2分周矩形波DTがハイレベル（1）のときに倍水平同期信号HPを1側へ出力する。

【0188】

したがって、フィールド判別信号FDがローレベル（0）のときにマルチプレ

クサ704の0側の出力は、垂直同期信号VSと同期し位相ずれのないパルスとなり、水平同期信号H21'として位相制御部615、セクタ705の1側およびORゲート707へ出力され、マルチプレクサ704の1側の出力は、水平同期信号H21'に対して半位相ずれたパルスとなり、セクタ705の1側へ出力される。

【0189】

一方、フィールド判別信号FDがハイレベル(1)のときにマルチプレクサ704の0側の出力は、半位相ずれたパルスとなり、水平同期信号H21'として位相制御部615、セクタ705の1側およびORゲート707へ出力され、マルチプレクサ704の1側の出力は、位相ずれのないパルスとなり、セクタ705の1側へ出力される。

【0190】

セクタ705は、装置内部で発生されるIP変換信号IPSに応じて選択動作を行い、IP変換を行う場合すなわちIP変換信号IPSがハイレベル(1)のときにマルチプレクサ704の1側の出力を選択して遅延水平同期信号H2D'として位相制御部615およびORゲート707へ出力する。

【0191】

また、セクタ705は、IP変換を行わない場合すなわちIP変換信号IPSがローレベル(0)のときにマルチプレクサ704の0側の出力を選択して遅延水平同期信号H2Dとして位相制御部615およびORゲート707へ出力する。したがって、IP変換を行わない場合、上記のフィールド判別信号FDがローレベルの場合と同じになるが、水平同期信号H21'が遅延水平同期信号H2D'として出力され、図6に示すように、第2の遅延水平同期信号H2Dを第2の水平同期信号H21と同じパルスにすることができる。

【0192】

ORゲート707は、マルチプレクサ704から出力される水平同期信号H21'とセクタ705から出力される遅延水平同期信号H2D'とをOR演算し、第2の水平同期信号H21の倍周波数の倍水平同期信号H2H'を位相制御部615へ出力する。

【0193】

2分周回路703は、Hカウンタ701から出力される倍水平同期信号HPを2分周し、セクタ706の0側へ出力する。セクタ706は、IP変換信号IPSに応じて選択動作を行い、IP変換を行う場合すなわちIP変換信号IPSがハイレベル(1)のときにHカウンタ701の出力を選択し、IP変換を行わない場合すなわちIP変換信号IPSがローレベル(0)のときに2分周回路703の出力を選択し、水平同期信号H2VとしてVカウンタ608へ出力する。

【0194】

このように、Vカウンタ608に入力される水平同期信号H2Vは、IP変換時はHカウンタ701の出力がそのまま使用され、IP変換を行わないときには2分周回路703の出力が使用される。したがって、IP変換を行わない場合、Hカウンタ701の出力を2分周し、常に垂直同期信号と位相のあった水平同期信号から垂直同期信号が作成される。また、IP変換を行う場合、IP変換後の水平同期信号H2Hの原型となる水平同期信号HPをカウントアップして垂直同期信号が作成され、IP変換の有無に関わらず垂直周波数変換に使用する垂直同期信号V21を整合性よく作成することができる。

【0195】

また、Hカウンタ701、2分周矩形波発生部702および2分周回路703はいずれもセクタ609により選択された垂直同期信号V21' (リセットパルスRST) によってリセットされる。

【0196】

なお、メモリ出力同期発生部606の構成は、上記の例に特に限定されず、メモリ制御処理部2の出力動作を制御する各同期信号H21、H2D、H2H、V21の原型となる同期信号を発生することができれば、他の構成の回路を用いてもよい。

【0197】

図34は、図33に示すメモリ出力同期発生部606の動作の一例を説明するためのタイミング図である。図34に示すタイミング図は、奇数フィールドの映

像信号をIP変換する場合のタイミング図である。

【0198】

図34に示すように、Hカウンタ701から倍水平同期信号HPが出力されているときに、リセットパルスRSTがHカウンタ701に入力されると、倍水平同期信号HPがリセットされる。このとき、映像信号が奇数フィールドであるため、フィールド判別信号FDがローレベルで出力されており、リセットパルスRSTにより2分周矩形波発生部702もリセットされると、2分周矩形波発生部702の2分周矩形波DTがローレベルで出力され、以降デューティ比が50%になるように2分周矩形波DTはローレベルおよびハイレベルを繰り返す。

【0199】

このとき、IP変換を行うためにIP変換信号IPSがハイレベルで出力されているため、マルチプレクサ704およびセレクタ705により、2分周矩形波DTがローレベルの期間にある倍水平同期信号HPのパルスが水平同期信号H21'として出力され、最終的に第2の水平同期信号H21が図示のように出力され、2分周矩形波DTがハイレベルの期間にある倍水平同期信号HPのパルスが遅延水平同期信号H2D'として出力され、最終的に第2の遅延水平同期信号H2Dが図示のように出力される。

【0200】

また、ORゲート707により水平同期信号H21'と遅延水平同期信号H2D'がOR演算され、倍水平同期信号HPと同様のパルスが倍水平同期信号H2H'として出力され、最終的に第2の倍水平同期信号H2Hが図示のように出力される。

【0201】

また、セレクタ706により倍水平同期信号HPが水平同期信号H2VとしてVカウンタ608へ出力され、分周等された後、最終的に第2の垂直同期信号V21が図示のように出力される。

【0202】

上記のようにして、メモリ出力同期発生部606により奇数フィールドの映像信号をIP変換する場合のメモリ制御処理部2の出力側の基準パルスとなる第2

の垂直同期信号V21、第2の水平同期信号H21、第2の遅延水平同期信号H2Dおよび第2の倍水平同期信号H2Hを作成することができる。また、上記と同様に、図6に示す他の場合の各同期信号を作成することができる。

【0203】

本実施の形態では、フィールドメモリ部7が記憶手段に相当し、メモリ制御処理部2が垂直周波数変換処理手段に相当し、IP変換処理部3がインターレース／プログレッシブ変換処理手段に相当し、走査線変換処理部4が走査線変換処理手段に相当し、水平画素変換処理部5が水平画素変換処理手段に相当し、同期処理部6aが同期制御手段に相当し、メモリ出力同期発生部606が第1の水平同期信号発生手段に相当し、Vカウンタ608が垂直同期信号発生手段に相当し、Hカウンタ607および分周比カウンタ604が第2の水平同期信号発生手段に相当し、セレクタ609が選択手段に相当する。また、Hカウンタ701が第1のカウントに相当し、Vカウンタ608が第2のカウントに相当し、Hカウンタ607が第3のカウントに相当し、分周比カウンタ604が第4のカウントに相当する。

【0204】

次に、上記のように構成された映像信号変換装置の走査線変換処理について説明する。

【0205】

例えば、2→3変換（1.5倍）による拡大処理の場合、第3の実施の形態と同様に、図24に示すように、メモリ制御処理部2の出力時点では、拡大処理によって不必要となる上下部分をカットした中央部のみを切り取り、走査線変換処理部4により中央部のみを拡大処理し、ディスプレイパネルが必要とするライン数に変換する。このとき、図23と同様に、走査線変換処理部4の入力側の基準パルス（走査線変換前の水平同期信号）となる第2の倍水平同期信号H2Hの周波数を下げ、走査線変換処理部4の出力側の基準パルス（走査線変換後の水平同期信号）となる第3の水平同期信号H31の周波数は、どのような信号が入力され、かつ、どのような変換を行う場合でも一定の周波数となるように操作する。

【0206】

上記の変換処理を行うためには、第1のラッチ水平同期信号H12と独立した周期を有する他の水平同期信号が必要となり、メモリ出力同期発生部606および位相制御部615により第1のラッチ水平同期信号H12と独立して第2の倍水平同期信号H2H等を発生させている。

【0207】

また、Hカウンタ607の設定値は、メモリ出力同期発生部606のHカウンタ701の設定値と密接に関係している。例えば、1.5倍の拡大処理を行う場合、走査線変換前の第2の倍水平同期信号H2Hの2周期が走査線変換後の第3の水平同期信号H31の3周期にならなければならない。つまり、Hカウンタ701、607の設定値は、IP変換を行う場合、一定期間内に含まれるライン数の逆数比である3:2に設定しなければならない。したがって、走査線変換処理部4がm:nの拡大処理を行う場合、IP変換時は、Hカウンタ701の設定値とHカウンタ607の設定値との比は、n:mの比にする必要がある。なお、IP変換を行わない場合も、Hカウンタ701から出力される倍水平同期信号HPをマルチプレクサ704で2分周したパルスがH2H'となるため、Hカウンタ701の設定値とHカウンタ607の設定値との比はn:mの比に保たれる。

【0208】

このようにして、フィールドメモリ部7からの映像データの読み出し速度を遅くすることができるとともに、映像データの不要部分を記憶しないため、フィールドメモリ部7の記憶容量を削減することができる。

【0209】

次に、例えば、4→3変換(0.75倍)による縮小処理の場合、第3の実施の形態と同様に、図27に示すように、メモリ制御処理部2の出力時点で上下にダミーの黒データを挿入し、ライン数をあらかじめ多めにしておいてから走査線変換処理部4により縮小処理を行う。このとき、図26と同様に、走査線変換処理部4の入力側の基準パルス(走査線変換前の水平同期信号)となる第2の倍水平同期信号H2Hの周期を予め0.75倍しておき、走査線変換後の第3の水平同期信号H31の周波数は、どのような信号が入力され、かつ、どのような変換を行う場合でも一定の周波数となるように操作する。

【0210】

また、PLL回路601から出力される第1のクロックCLK1がAD変換器でのサンプリングクロックとして用いられるのが一般的であり、分周比カウンタ603は、基本的には入力される映像信号のドットクロックと第1のクロックCLK1が同一の発振周波数となるように設定される。分周比カウンタ604は、出力される映像信号のすべての水平画素が1水平期間内に十分に入るように、また後段の回路が要求する1水平期間内のクロック数になるように設定される。Vカウンタ608は、垂直同期信号V2'の周波数が後段の回路等の要求する垂直周波数となるように設定される。

【0211】

上記のように、後段の回路等が要求するライン数、クロック数および走査線変換の変換比から逆算してメモリ制御処理部2の出力側以降の各同期信号の周波数を定めることにより、装置の出力側の水平同期信号やクロックの周波数を一定に保つことが可能となり、これは入力される映像信号の周波数や画素数に関わらず、常に走査線変換での変換比のみで決定され、各カウンタの設定も容易となる。

【0212】

上記のように、本実施の形態では、メモリ制御処理部2の後に走査線変換処理部4を配置する場合において、垂直周波数変換の有無に関わらず、メモリ制御処理部2の出力側の基準パルスとなる第2の水平同期信号H21をメモリ出力同期発生部606等により作り直し、メモリ出力同期発生部606とは別のHカウンタ607により第3のクロックCLK3を発生させるPLL回路602の基準パルスを作成し、メモリ出力同期発生部606を第2の垂直同期信号V21の原型となる垂直同期信号V21'によりリセットし、Hカウンタ607を第2の垂直同期信号V21によりリセットし、第2の垂直同期信号V21を第3のクロックCLK3によりラッチし直したラッチ垂直同期信号V23により分周比カウンタ604をリセットすることにより、各回路をメモリ制御処理部2の出力側以降の基準パルスとなる第2の系統の垂直同期信号によりリセットしている。したがって、走査線変換処理部4による拡大および縮小処理によらず、装置の出力側の水平同期信号およびクロックを一定に保つことが可能となる。

【0213】

また、分周比カウンタ604にリセット機能がなくても、PLL回路602の追従範囲であれば、クロックは発生する。しかし、PLL回路602の基準パルスとフィードバックパルスの位相関係が大きくずれると、PLL回路602がロックするまでの間、映像が乱れたり、トップカールが発生する。このため、リセット機能を分周比カウンタ604にも設け、基準パルスとフィードバックパルスを同時にリセットすることによって、PLL回路602の発振動作を安定にしている。

【0214】

なお、図32に示す例では、第2のクロックCLK2を発生させるために水晶発振子605を用いたが、これは装置の内部の動作として、例えば、フィールドメモリ部7のインターフェースやIP変換等で速いクロックが要求される場合に、装置の入力側の第1のクロックCLK1および装置の出力側の第3のクロックCLK3よりも速い装置の内部の第2のクロックCLK2を用いるときのものである。したがって、装置の動作速度の面で問題がなければ、水晶発振子を用いずに入力側の第1のクロックCLK1を第2のクロックCLK2の代わりとして用いてもよい。

【0215】

逆に、水晶発振子605を用いる利点としては、前述したように速い動作が要求されるときに有利であるだけでなく、非同期クロックであるので、ディスプレイパネル上に出画されるクロック妨害が発生しにくく目立たないこと、また仮に入力側の同期やクロックが乱れても、出力側は安定した同期およびクロックが保証できること等があげられる。

【0216】

また、上記の説明では、各同期信号の位相等を調整するために位相制御部613～617を用いたが、各同期信号が各ブロックで直接使用できる場合は、位相制御部を省略してもよく、また、位相制御部の挿入位置も、上記の例に特に限定されず、例えば、Hカウンタ701の後に挿入する等の種々の変更が可能である。

【0 2 1 7】

【発明の効果】

本発明によれば、一つの記憶手段に記憶されている映像信号の垂直周波数を変換し、垂直周波数変換された映像信号がインターレース信号の場合にインターレース信号からプログレッシブ信号へ変換し、インターレース／プログレッシブ変換された映像信号の走査線数を変換し、走査線変換された映像信号の水平画素数を変換しているのので、一カ所に蓄えられた少ないデータ量の映像信号を用いて1つのシステムとして総合的に無駄なく、垂直周波数変換、I P変換、走査線変換および水平画素変換を行い、映像信号を表示装置に適する映像信号に変換することができる。

【図面の簡単な説明】

【図1】

本発明の第1の実施の形態による映像信号変換装置の構成を示すブロック図

【図2】

水平走査期間と有効映像期間との関係を説明するための模式図

【図3】

走査線変換前後の水平走査期間と映像期間との関係を説明するためのタイミング図

【図4】

クロックを乗せ換えた場合の走査線変換前後の水平走査期間と映像期間との関係を説明するためのタイミング図

【図5】

本発明の第2の実施の形態による映像信号変換装置の構成を示すブロック図

【図6】

図5に示す映像信号変換装置の同期信号のタイミングを説明するための図

【図7】

図5に示す映像信号変換装置の詳細な構成を示す第1のブロック図

【図8】

図5に示す映像信号変換装置の詳細な構成を示す第2のブロック図

【図 9】

図 5 に示す映像信号変換装置の詳細な構成を示す第 3 のブロック図

【図 1 0】

図 7 に示すメモリ制御部によるフィールドメモリの書き込みおよび読み出し動作を説明するためのタイミング図

【図 1 1】

ラインメモリの動作を説明するためのタイミング図

【図 1 2】

最適フィルタ補間、フィールド間補間およびフィールド内補間を説明するための模式図

【図 1 3】

I P 変換を行う場合の走査線変換前後の各ラインを説明するための模式図

【図 1 4】

奇数フィールドの場合の I P 変換および走査線変換のデータの転送タイミングを説明するための図

【図 1 5】

偶数フィールドの場合の I P 変換および走査線変換のデータの転送タイミングを説明するための図

【図 1 6】

I P 変換用のラインメモリを模式的に示す図

【図 1 7】

走査線変換用のラインメモリを模式的に示す図

【図 1 8】

I P 変換を行わずに走査線変換を行う場合のデータの転送タイミングを説明するための図

【図 1 9】

I P 変換を行わない場合の走査線変換前後の各ラインを説明するための模式図

【図 2 0】

I P 変換のデータの転送タイミングを説明するための図

【図 2 1】

水平画素変換の動作を説明するためのタイミング図

【図 2 2】

本発明の第 3 の実施の形態による映像信号変換装置の要部の構成を示すブロック図

【図 2 3】

走査線変換による拡大処理時の各水平同期信号のタイミング図

【図 2 4】

走査線変換による拡大処理を説明するための表示画像を示す模式図

【図 2 5】

拡大処理時のフィールドメモリの書き込みおよび読み出しアドレスを説明するための模式図

【図 2 6】

走査線変換による縮小処理時の各水平同期信号のタイミング図

【図 2 7】

走査線変換による縮小処理を説明するための表示画像を示す模式図

【図 2 8】

縮小処理時のフィールドメモリの書き込みおよび読み出しアドレスを説明するための模式図

【図 2 9】

本発明の第 4 の実施の形態による映像信号変換装置の要部の構成を示すブロック図

【図 3 0】

フィールド判別動作を説明するためのタイミング図

【図 3 1】

図 3 1 に示す映像信号変換装置の I P 変換および垂直周波数変換を行う時の動作を説明するためのタイミング図

【図 3 2】

本発明の第 5 の実施の形態による映像信号変換装置の構成を示すブロック図

【図 3 3】

図 3 2 に示すメモリ出力同期発生部の一例の構成を示すブロック図

【図 3 4】

図 3 3 に示すメモリ出力同期発生部の動作の一例を説明するためのタイミング図

【図 3 5】

従来の走査線変換回路の構成を示すブロック図

【図 3 6】

図 3 5 に示す走査線変換回路のフィルタ係数を示す図

【図 3 7】

従来の画像処理装置の構成を示すブロック図

【符号の説明】

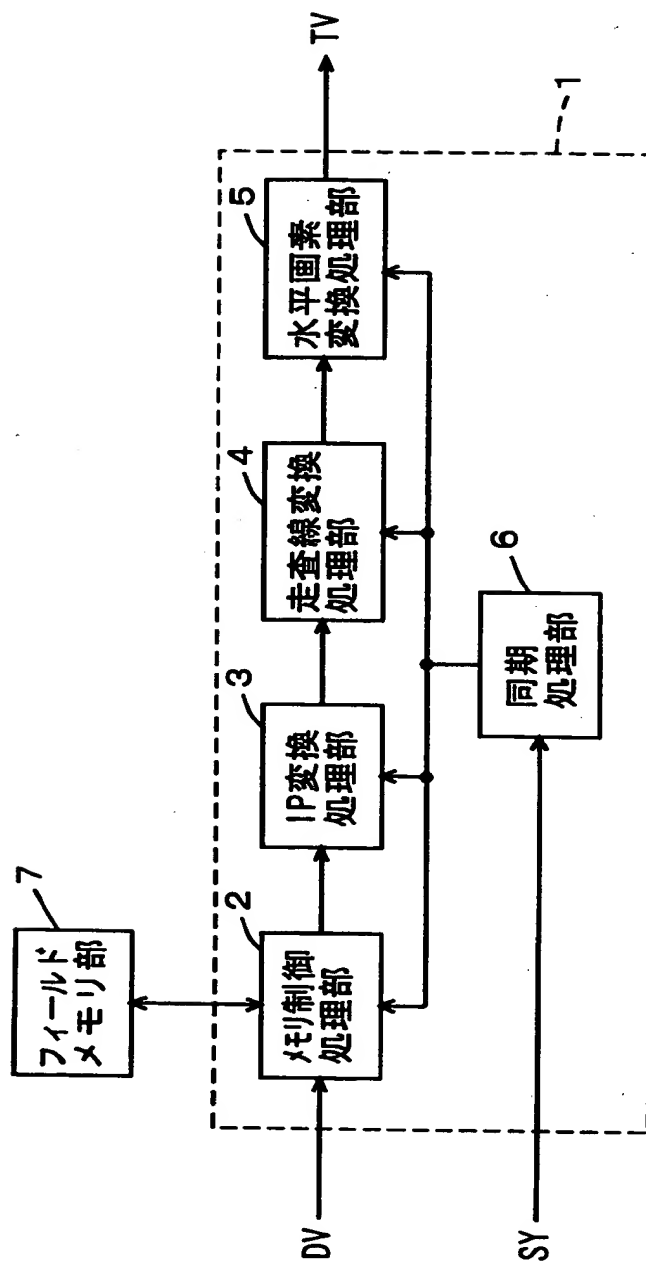
- 1 画素変換装置
- 2 メモリ制御処理部
- 3 IP変換処理部
- 4 走査線変換処理部
- 5 水平画素変換処理部
- 6, 6a 同期処理部
- 7 フィールドメモリ部
- 7a～7c フィールドメモリ
- 12, 31, 51, 81 ラインメモリ
- 21 メモリ制御部
- 41 IP変換部
- 61 走査線変換部
- 71 水平圧縮部
- 91 水平拡大部
- 101 読み出し開始アドレス発生部
- 102 黒ライン挿入部
- 103 読み出し水平同期信号発生部

111, 610 フィールド判別部
112 書き込み制御部
113 読み出し制御部
114, 116 セレクタ
115a~115d レジスタ
601, 602 PLL回路
603, 604 分周比カウンタ
605 水晶発振子
606 メモリ出力同期発生部
607, 701 Hカウンタ
608 Vカウンタ
609, 705, 706 セレクタ
611, 612 クロック乗せ換え部
613~617 位相制御部
702 2分周矩形波発生部
703 2分周回路
704 マルチプレクサ
707 ORゲート

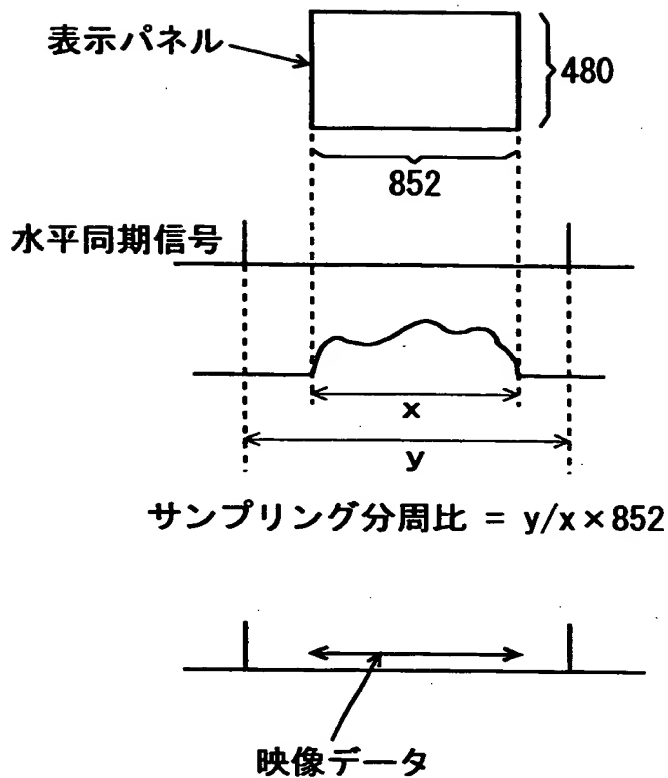
【書類名】

図面

【図 1】

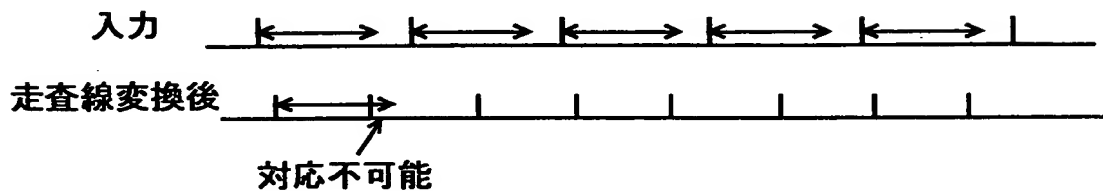


【図 2】

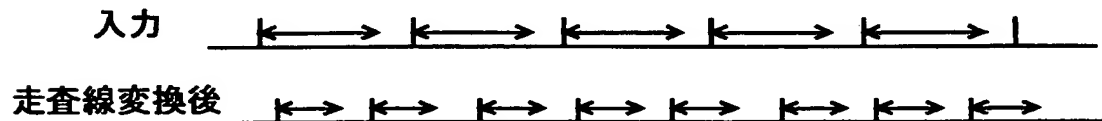


【図 3】

(a) 入力と同じクロックの場合

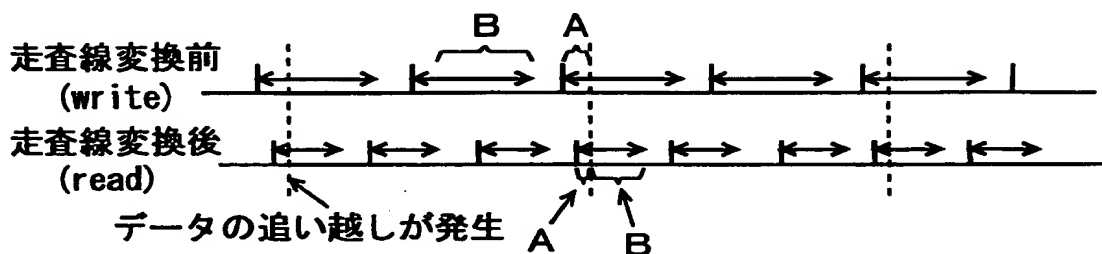


(b) 入力と比較し、十分速いクロックの場合

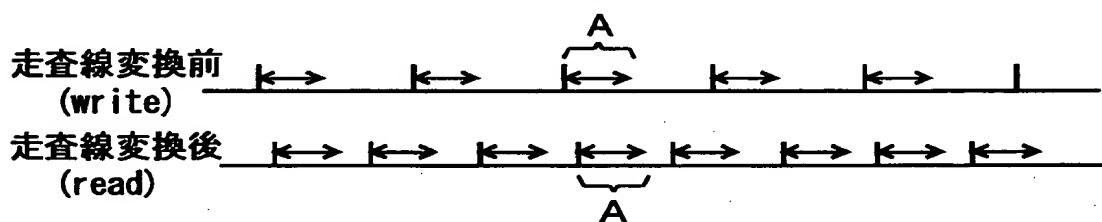


【図4】

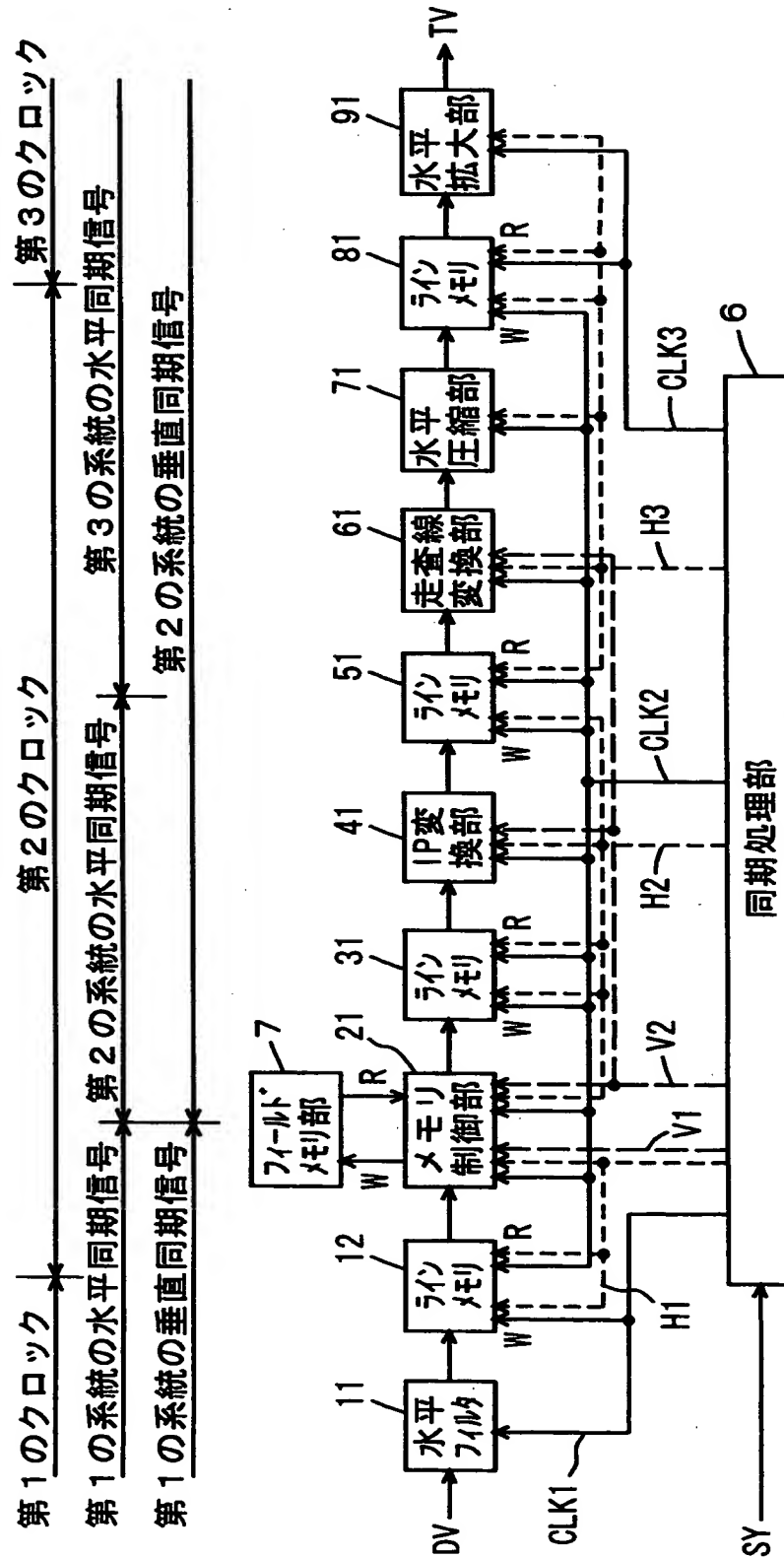
(a) 走査線変換の前後でクロックを乗せ換えた場合



(b) 走査線変換の後でクロックを乗せ換えた場合



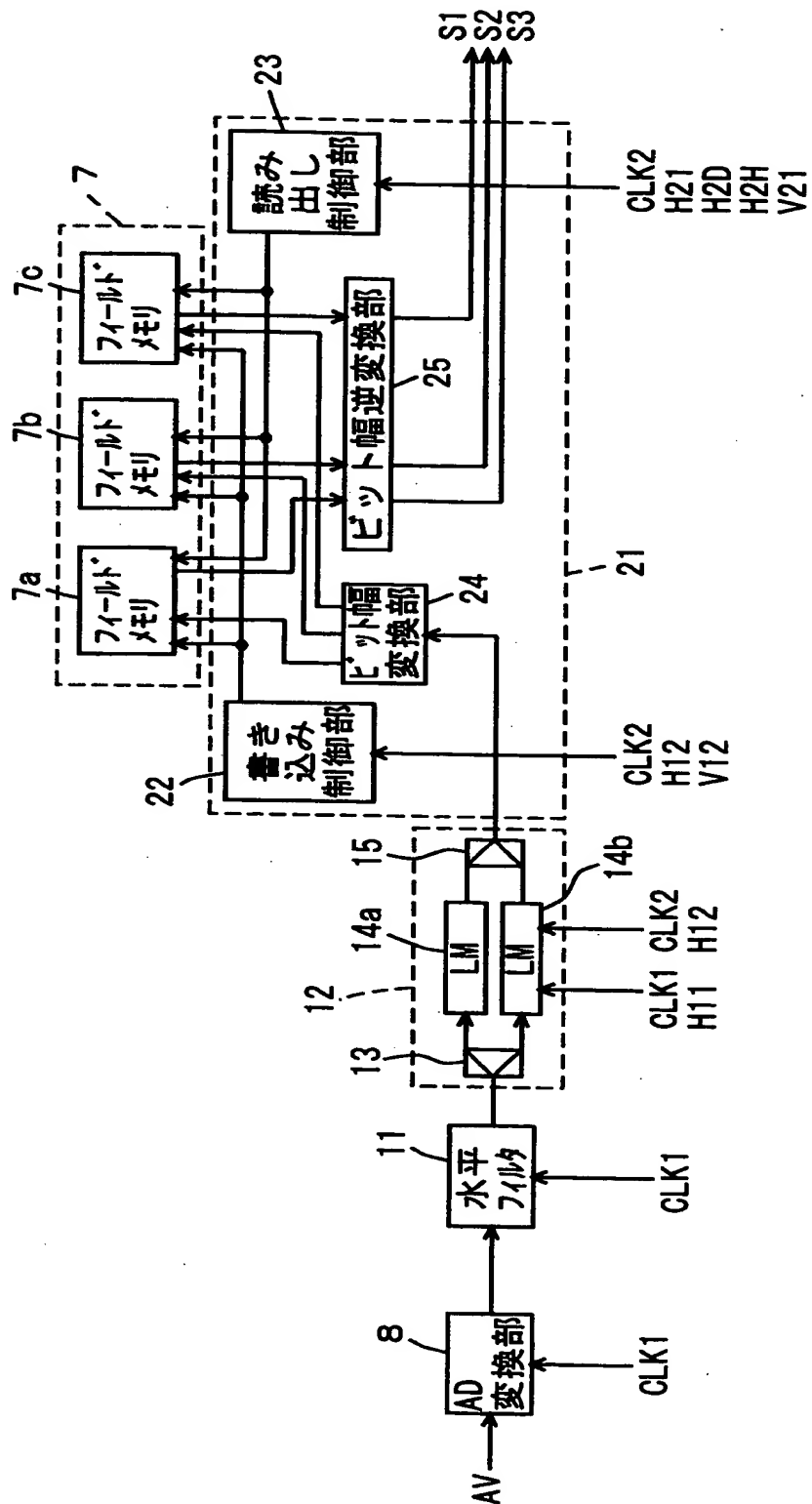
【図 5】



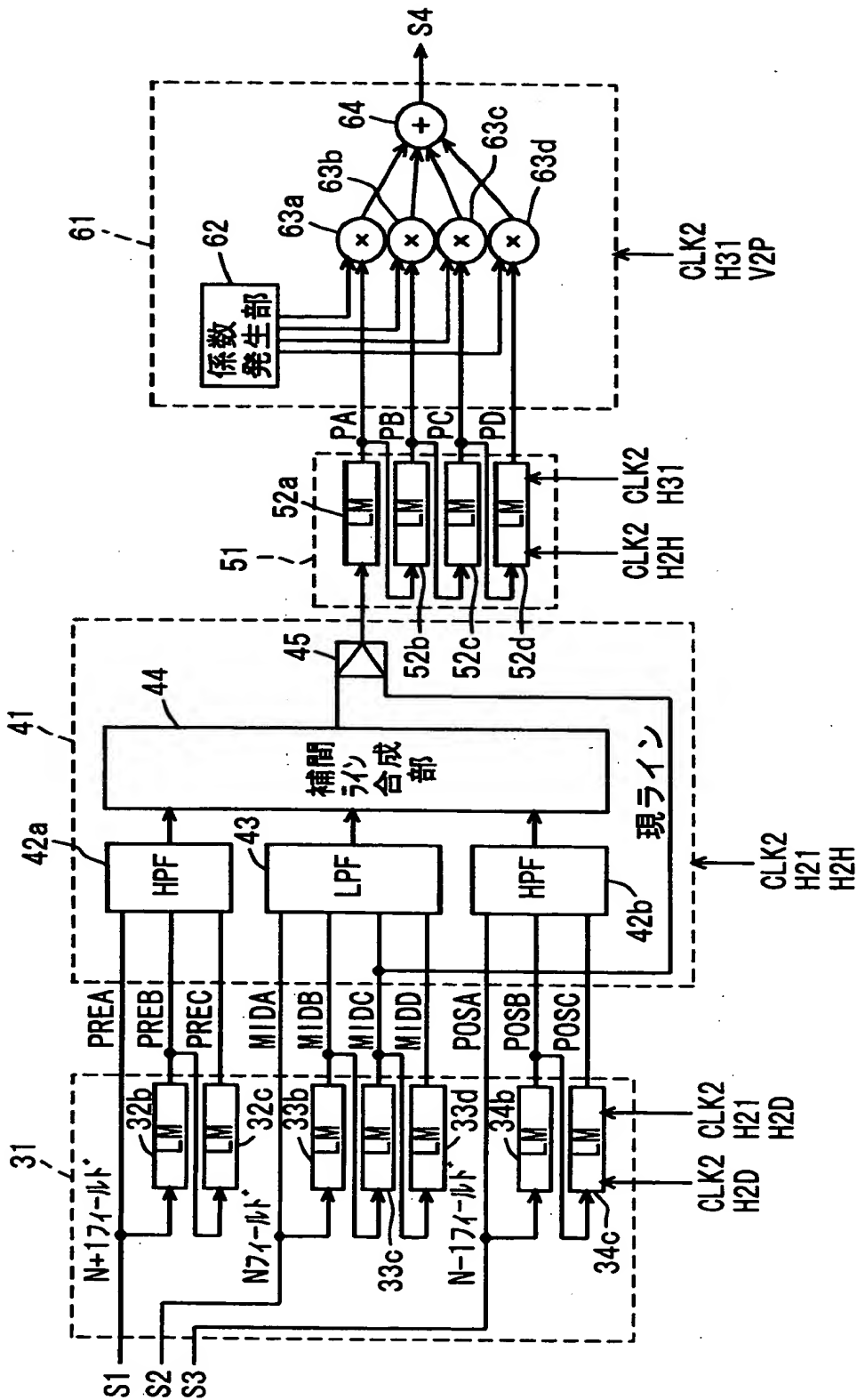
【図 6】

	IP変換あり		IP変換なし
	奇数フィールド	偶数フィールド	
CLK1系 H11 (入力H) V11 (入力V)			
CLK2系 H12 (H11のCLK2ラッチ) V12 (V11のCLK2ラッチ)			
H21 (フィールドメモリ後のH) H2D (H21の半H遅れ) H2H (H21の倍周波数) V21 (フィールドメモリ後のV)			
H31 (走査線変換後のH) V2P (走査線変換後のV)			
CLK3系 H33 (H31のCLK3ラッチ)			

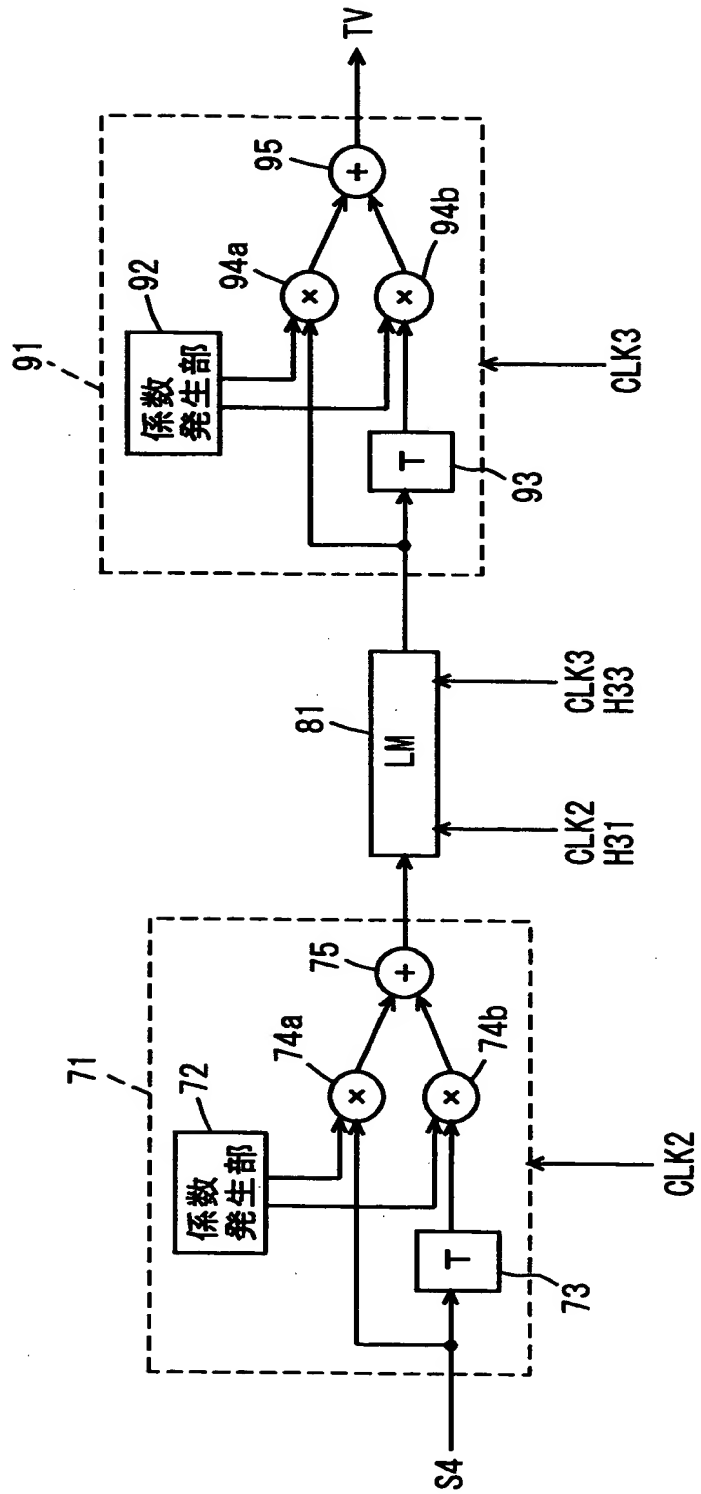
【図 7】



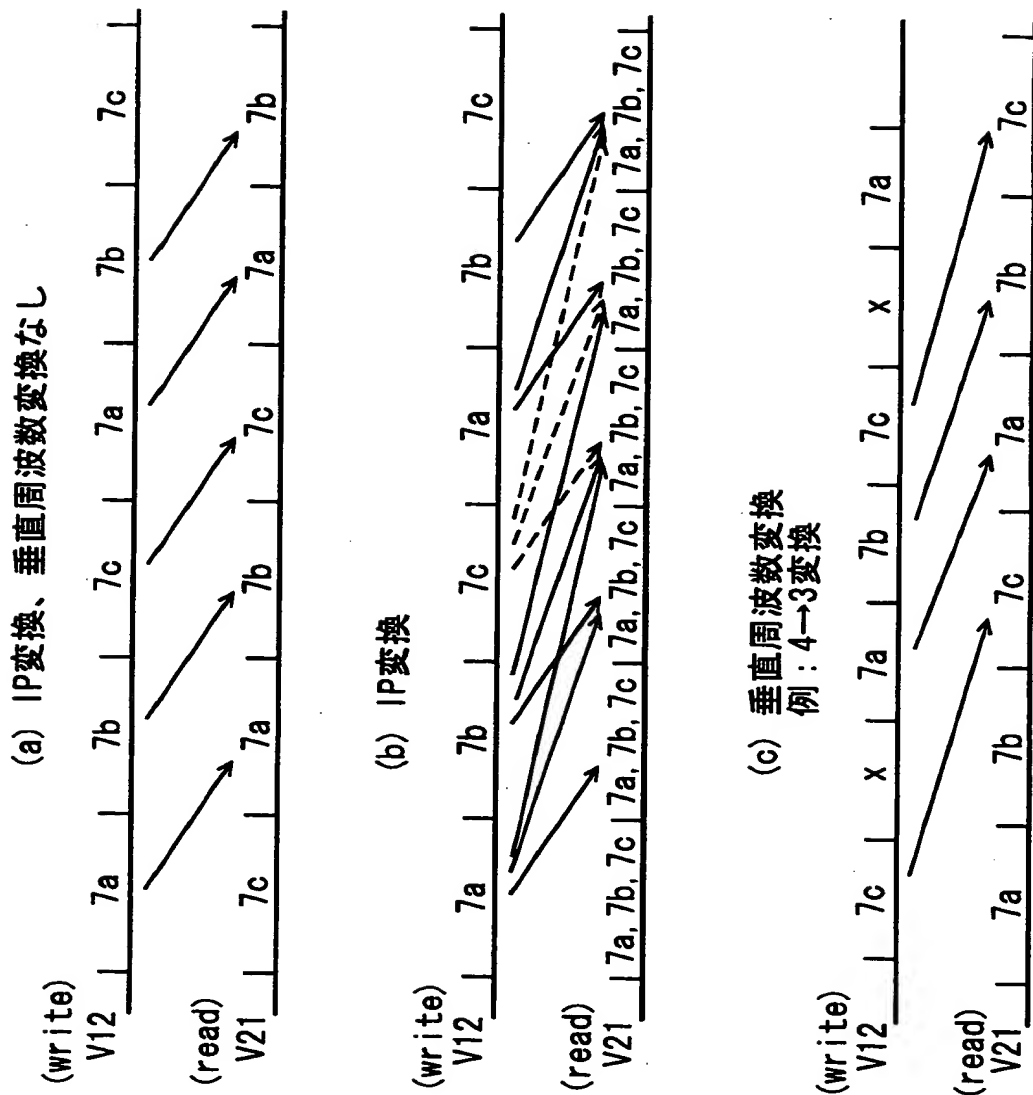
【図8】



【図9】

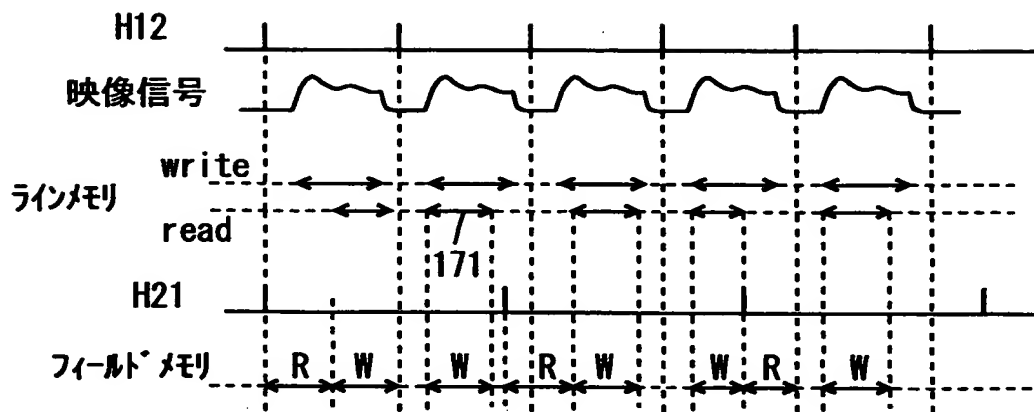


【図 10】

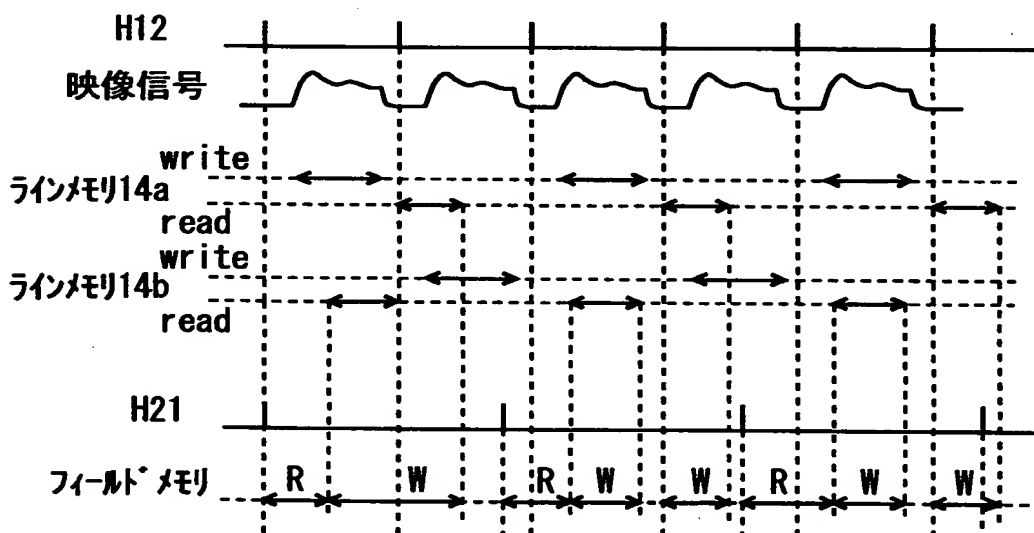


【図 11】

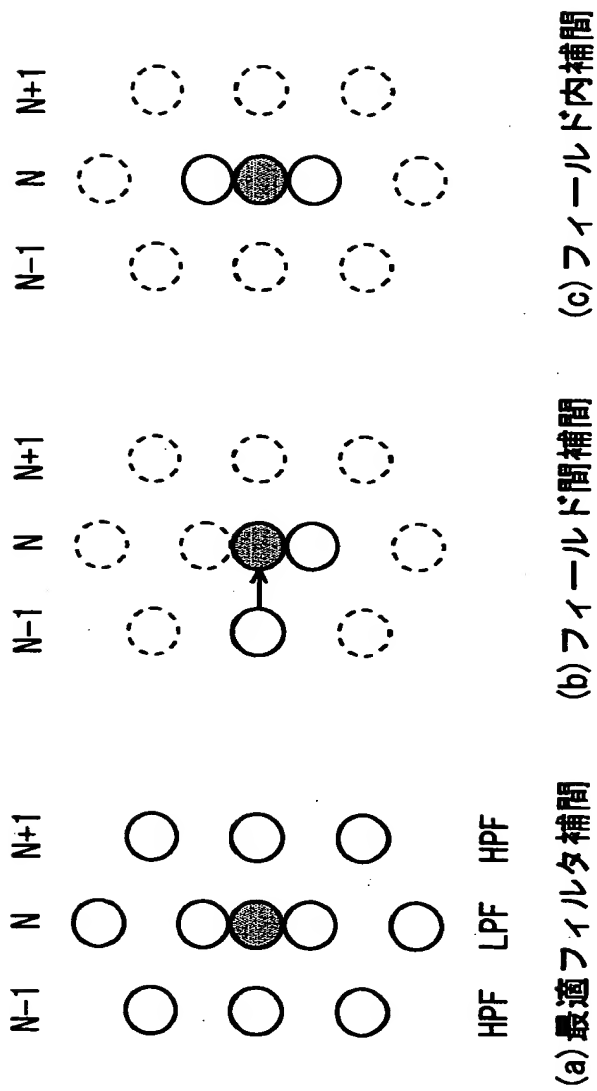
(a) ラインメモリ 1 本するとき



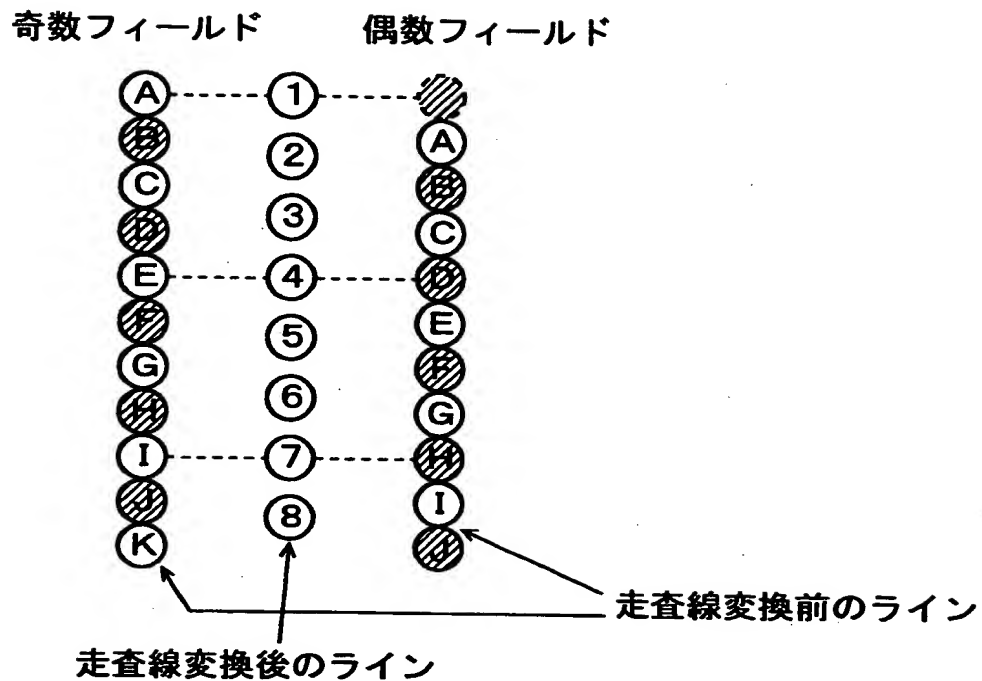
(b) ラインメモリ 2 本するとき



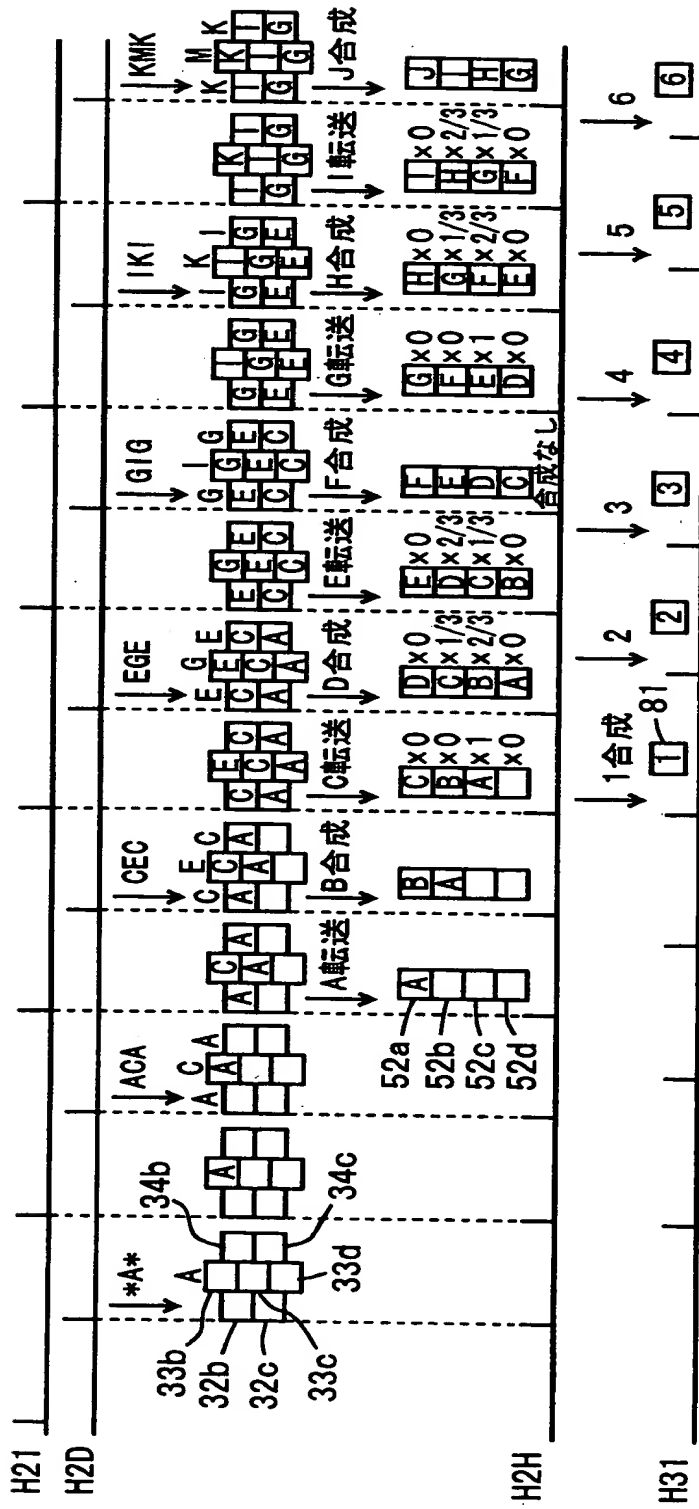
【図 12】



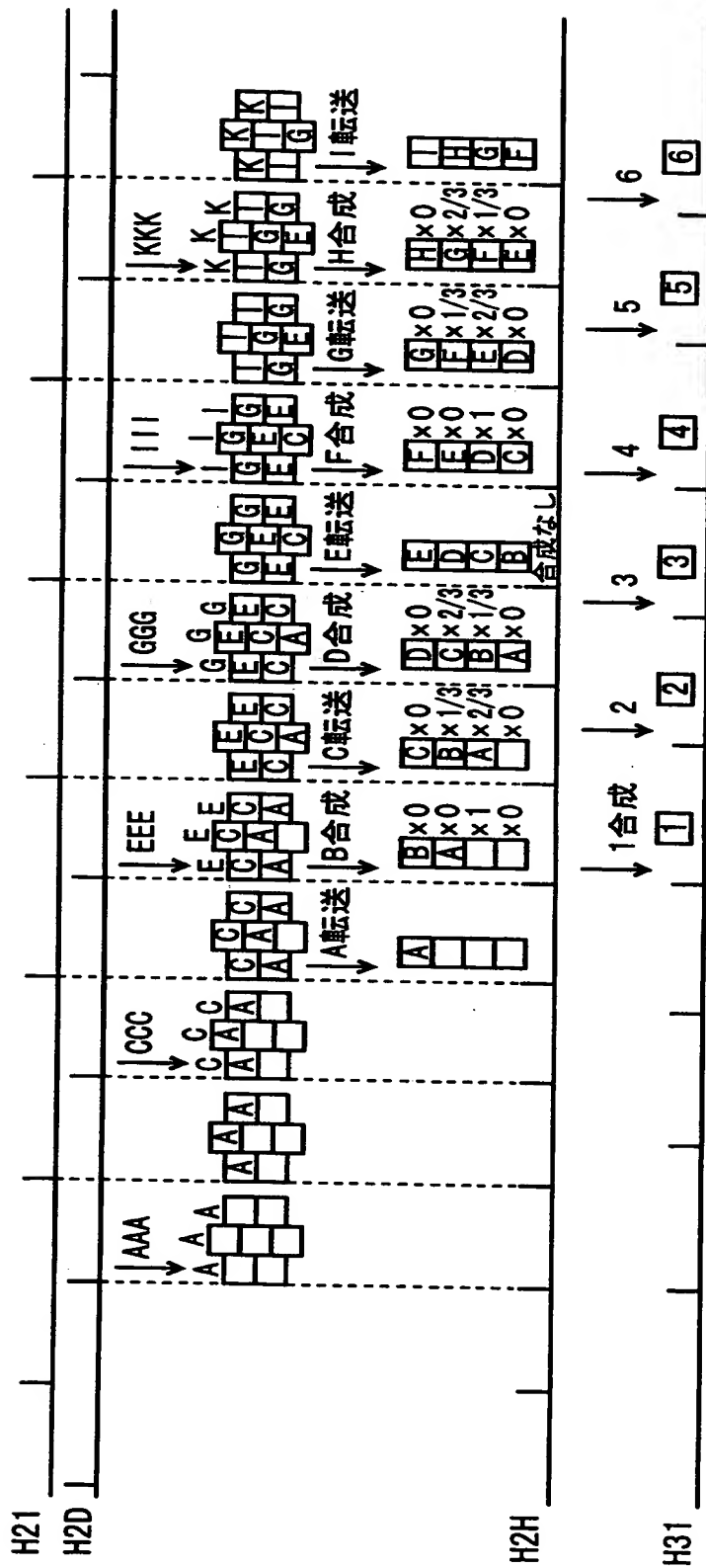
【図 1 3】



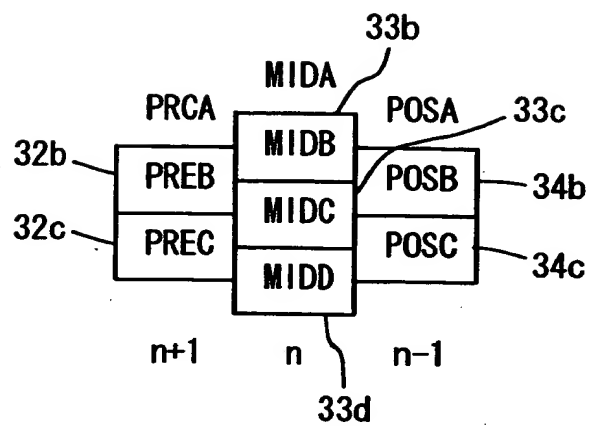
【図 14】



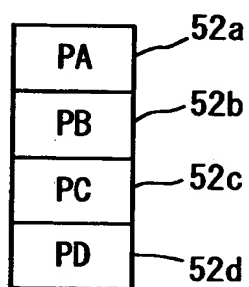
【図 15】



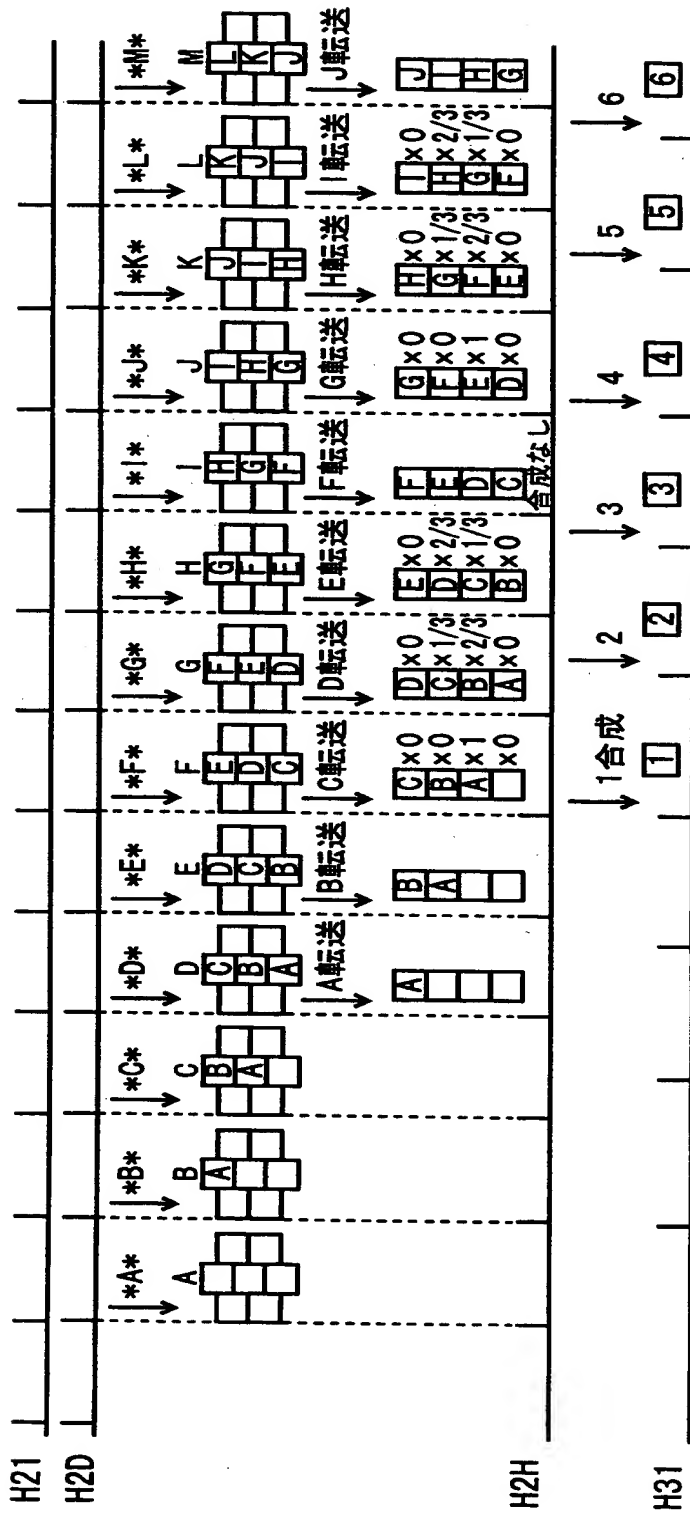
【図 16】



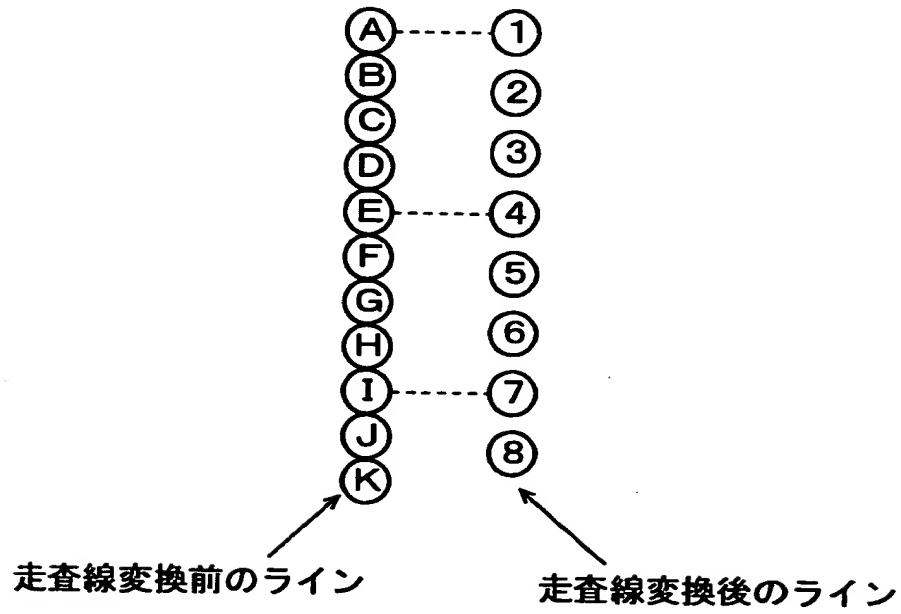
【図 17】



【図18】

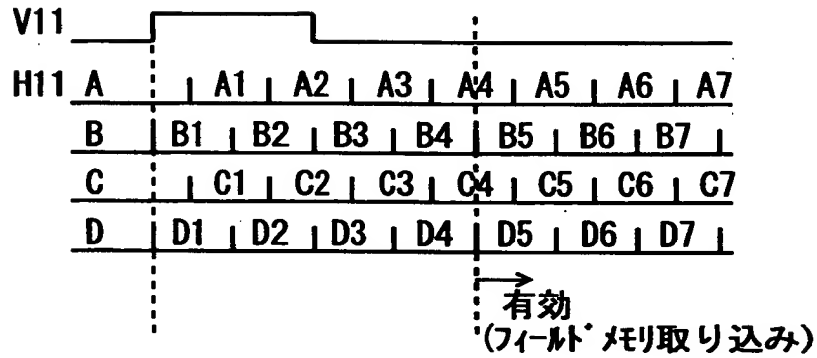


【図 19】

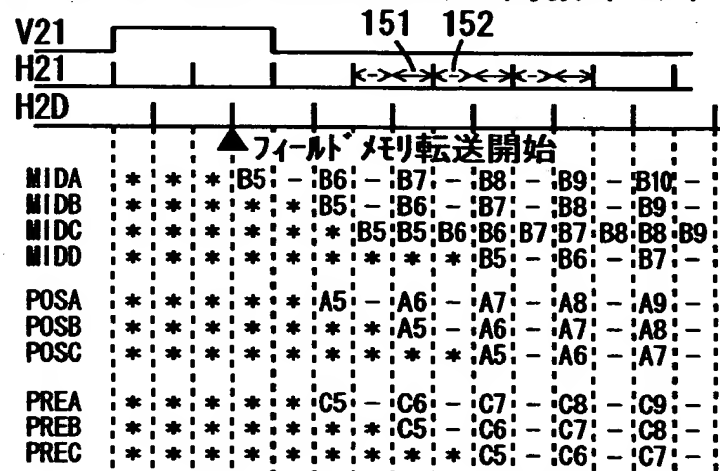


【図 20】

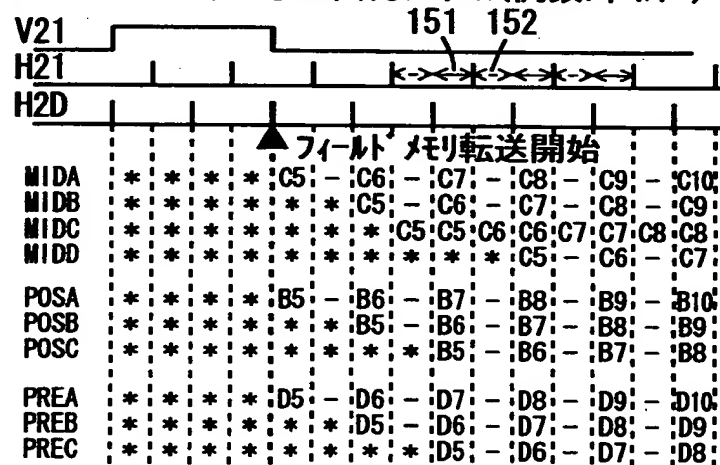
(a) 入力



(b) フィルタメモリからの出力シーケンス(奇数フィルタ)

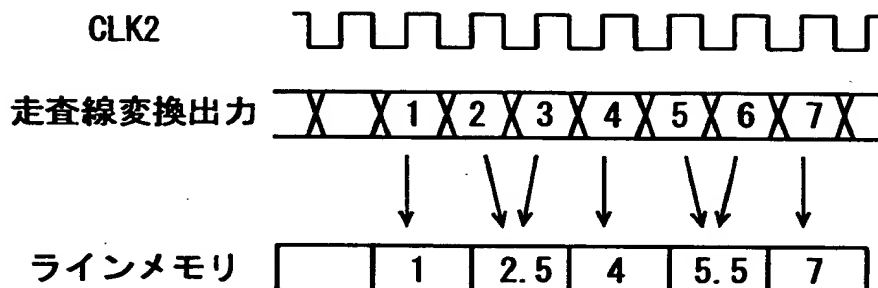


(c) フィルタメモリからの出力シーケンス(偶数フィルタ)

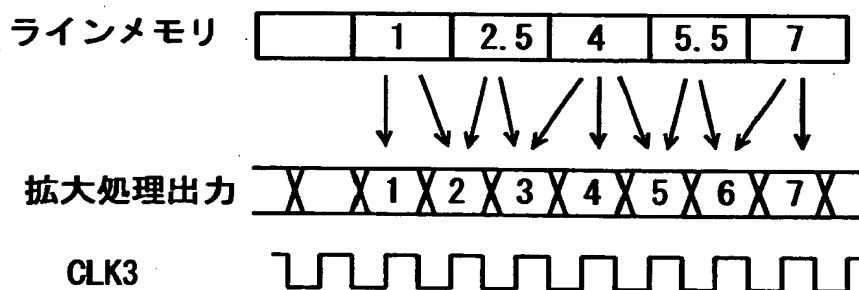


【図 2 1】

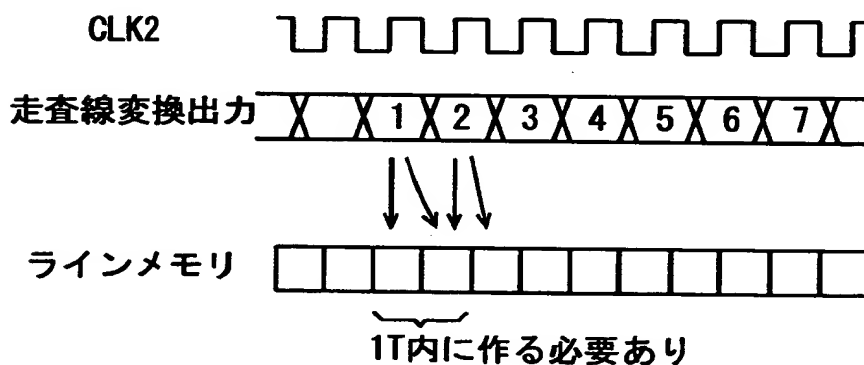
(a) 書き込み (3→2変換)



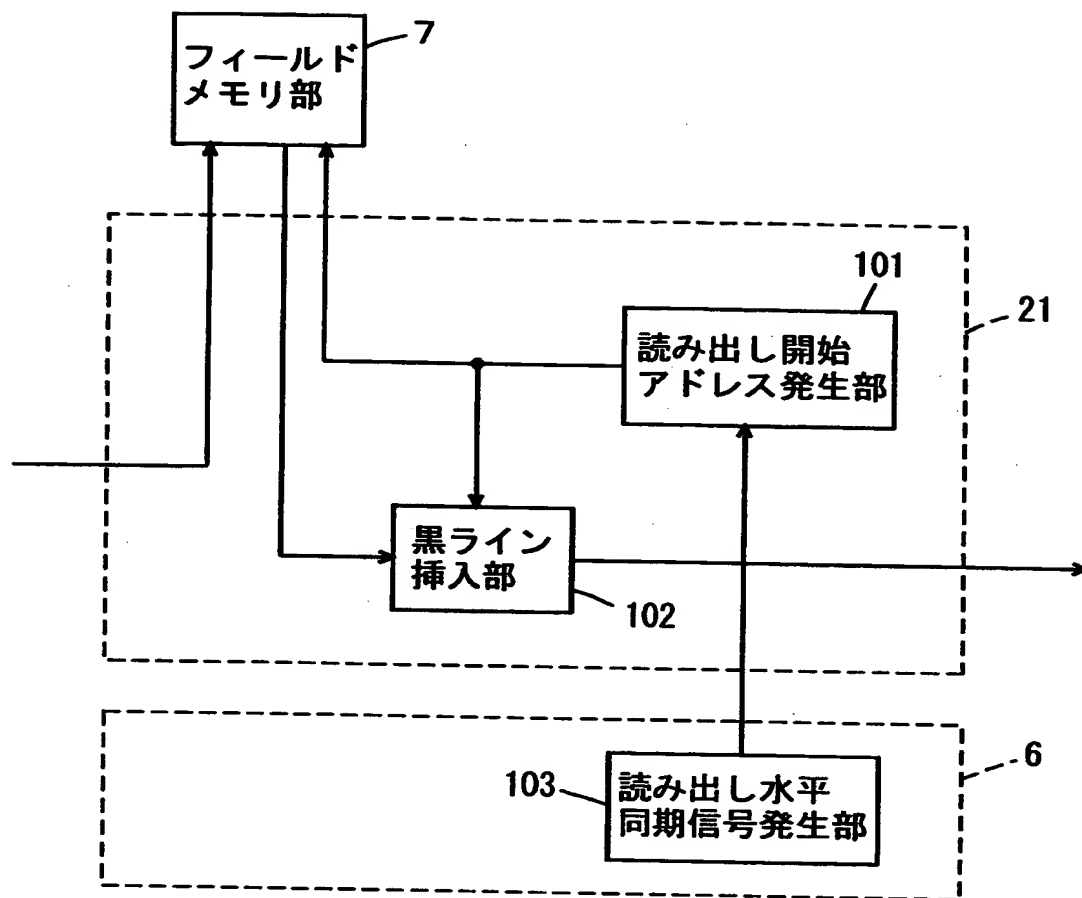
(b) 読み出し (2→3変換)



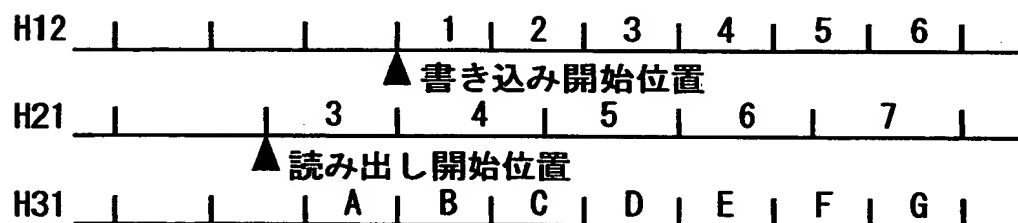
(c) 書き込みで拡大処理を兼用 (3→4変換)



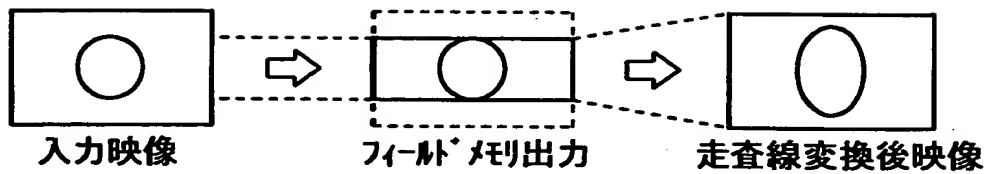
【図 22】



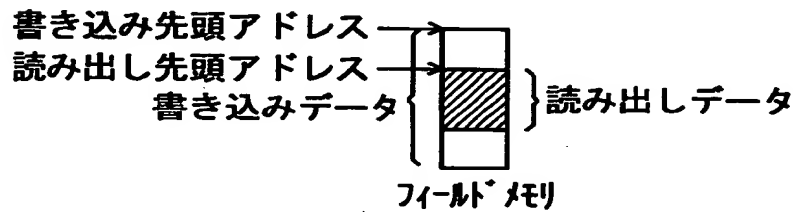
【図 23】



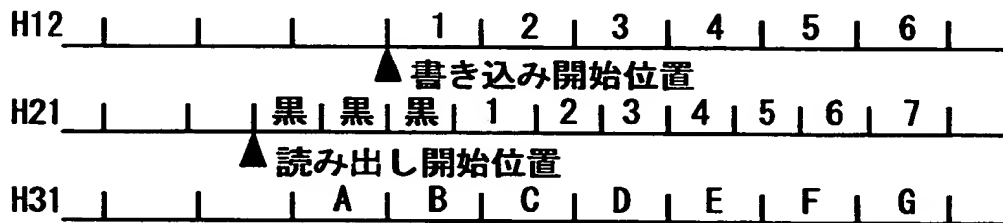
【図 2 4】



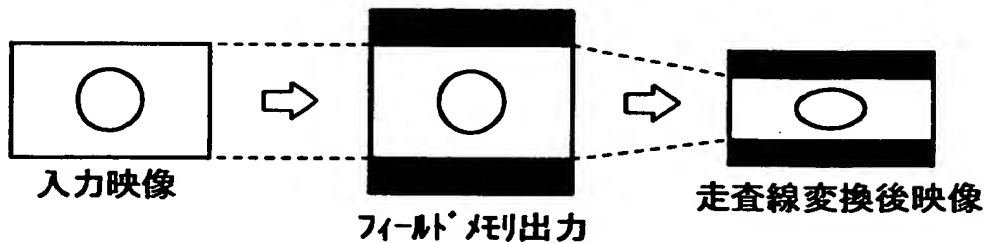
【図 2 5】



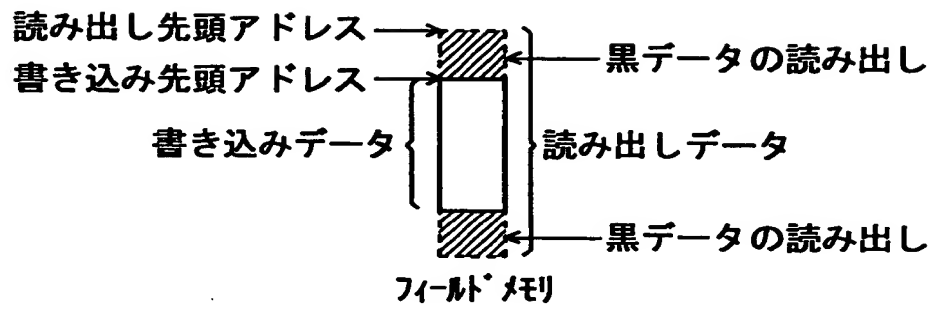
【図 2 6】



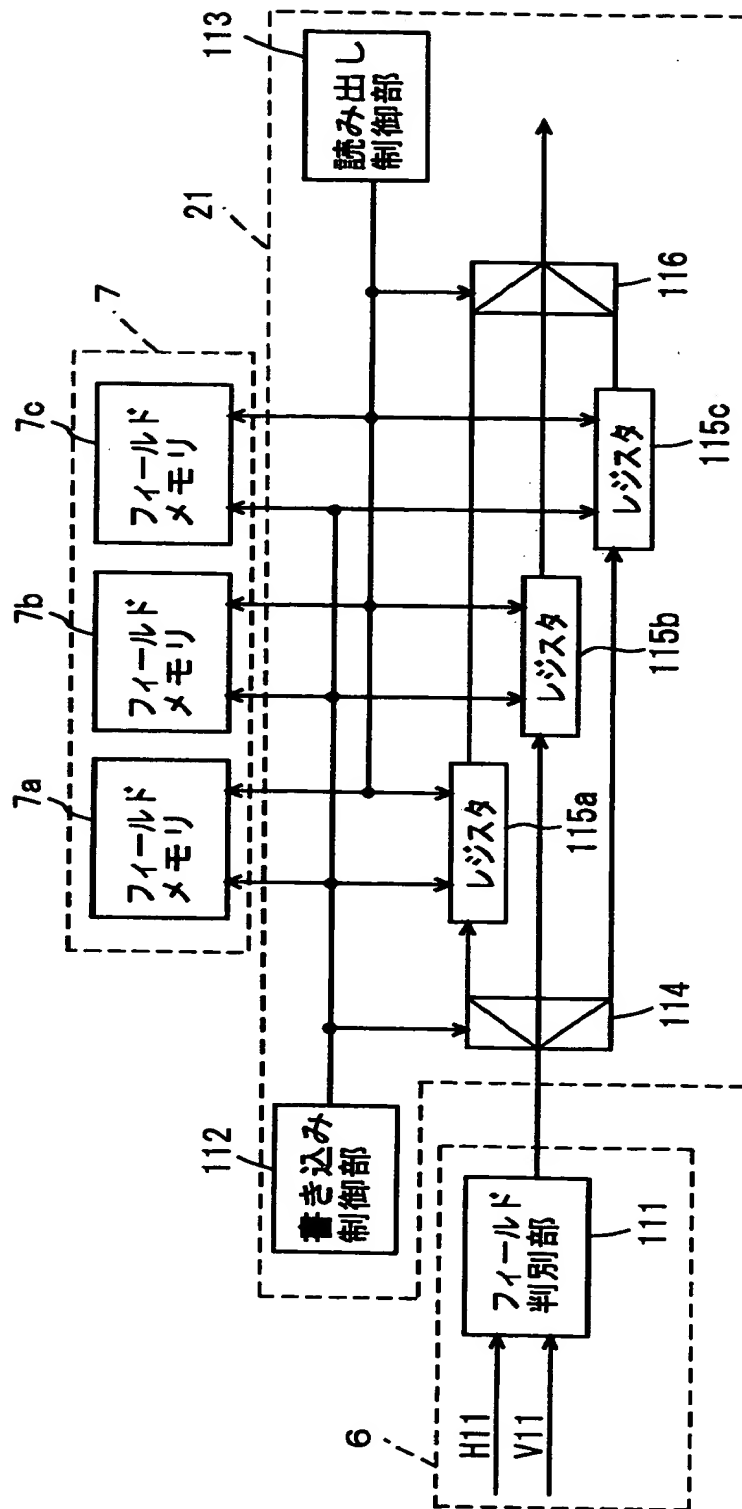
【図 2 7】



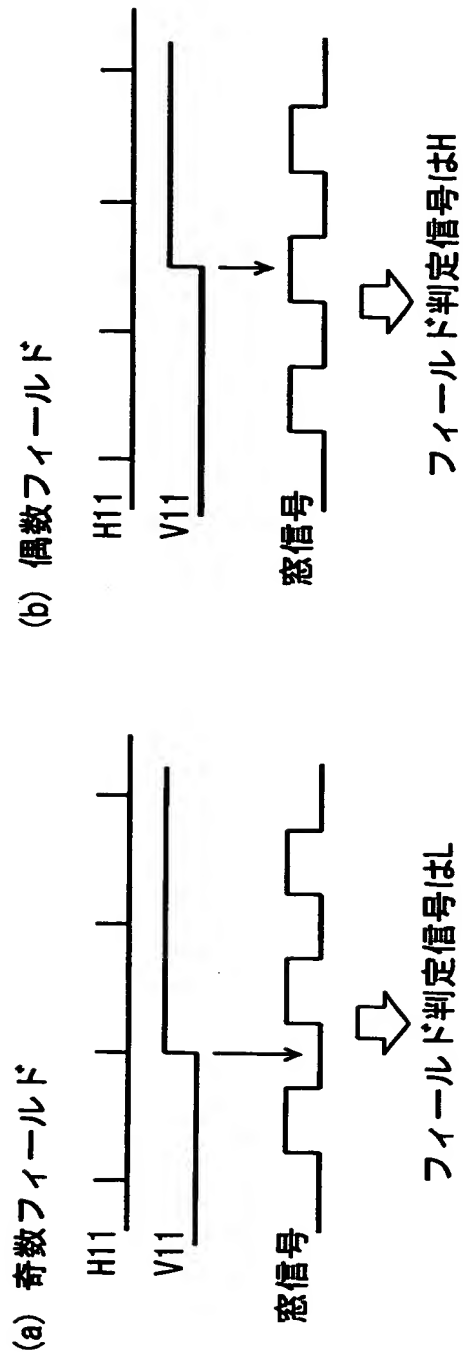
【図 28】



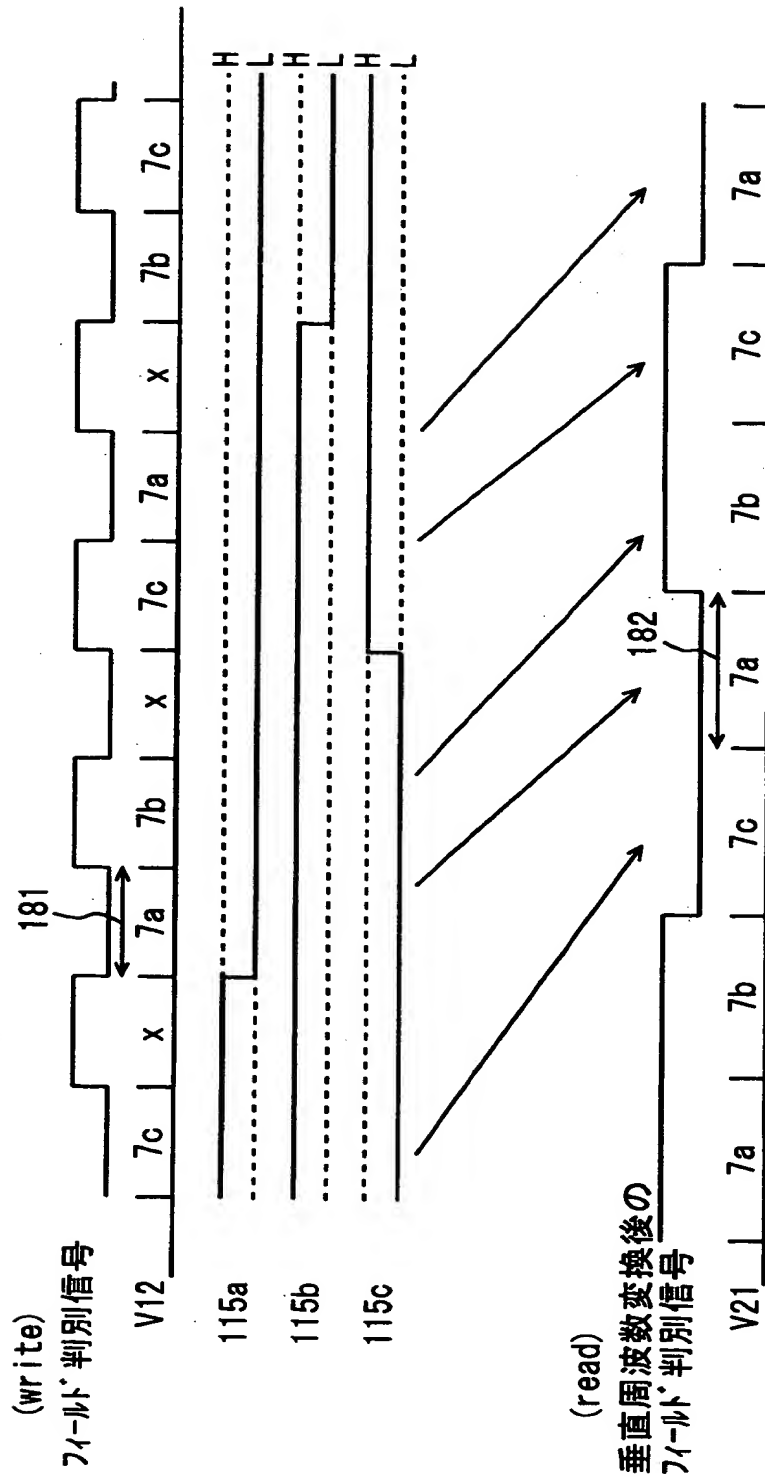
【図 29】



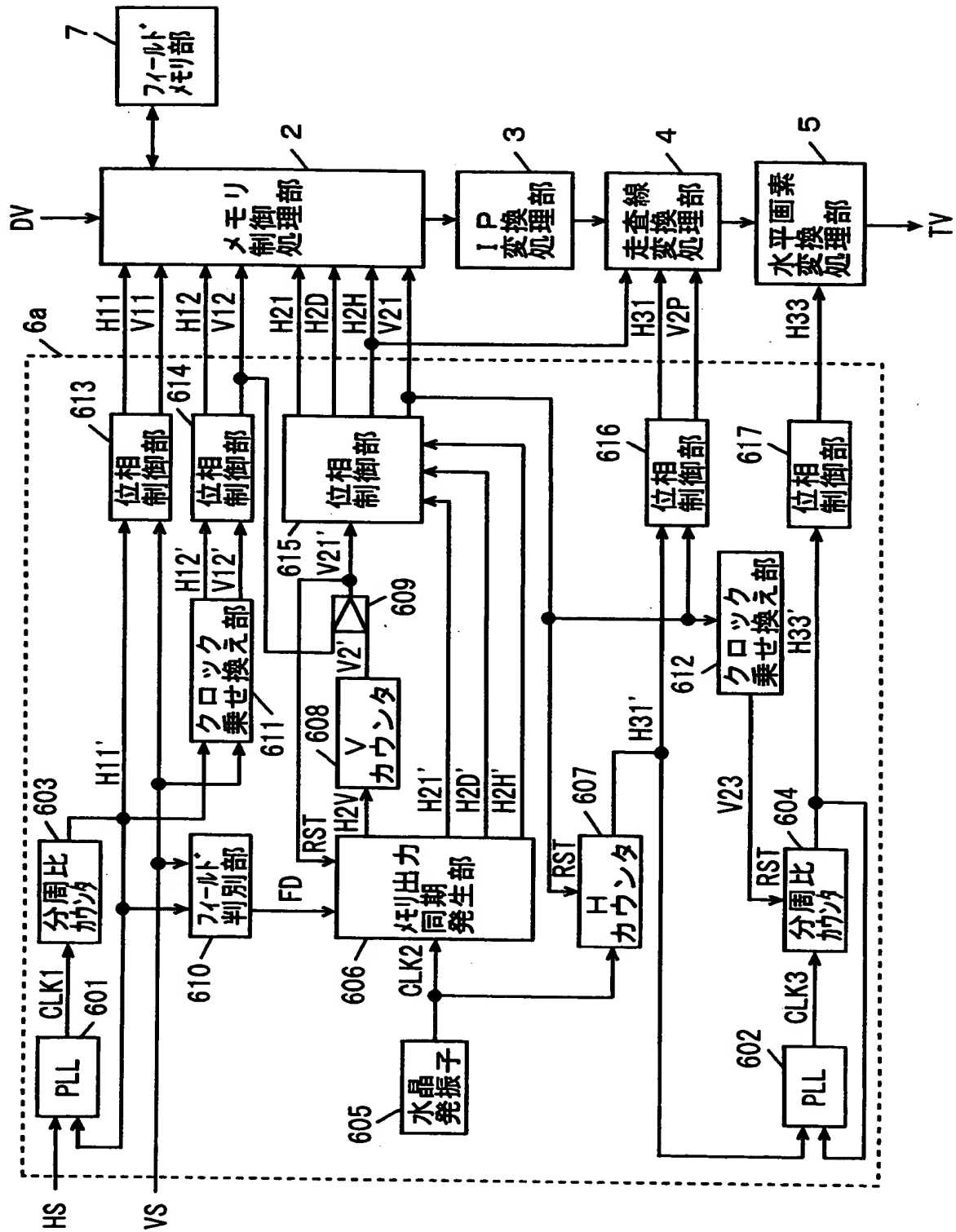
【図 30】



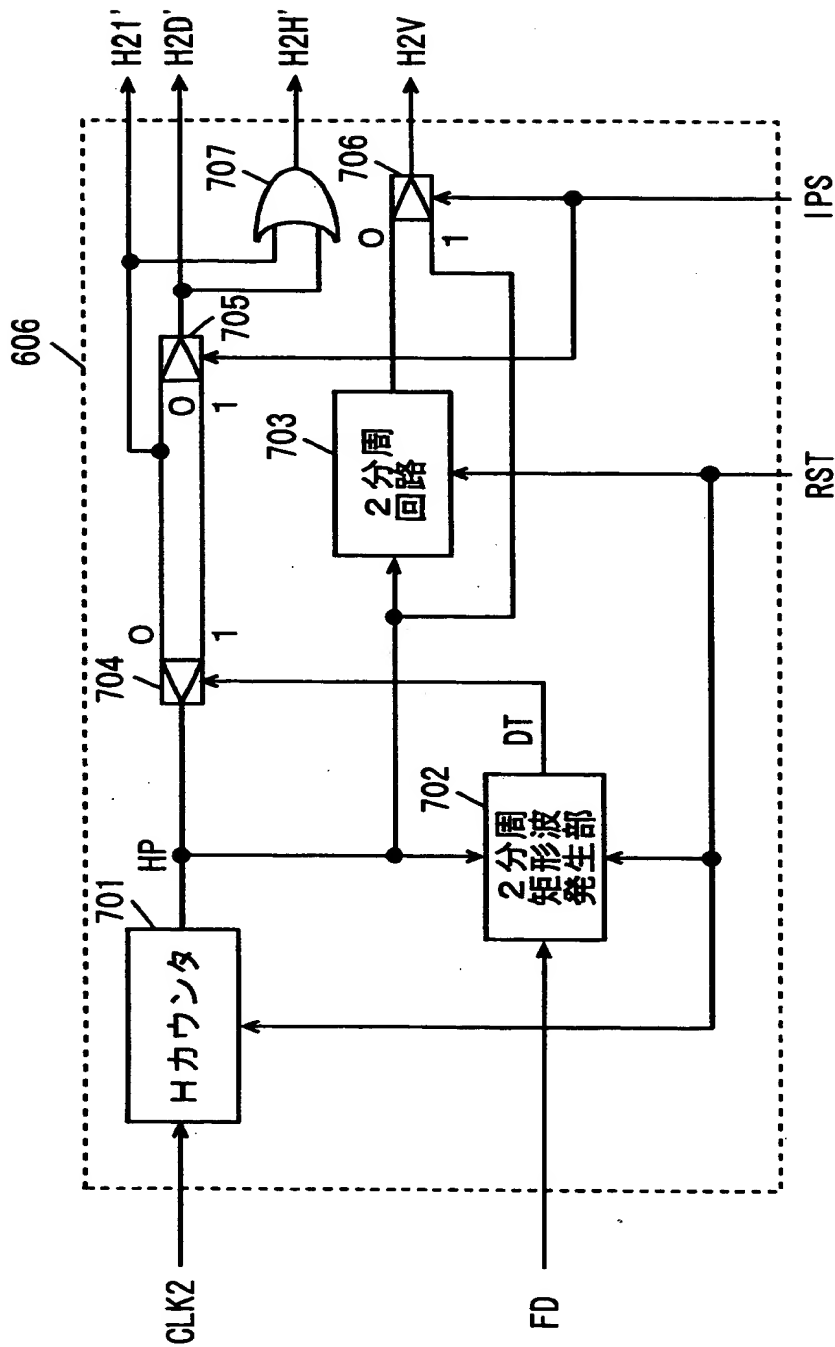
【図 31】



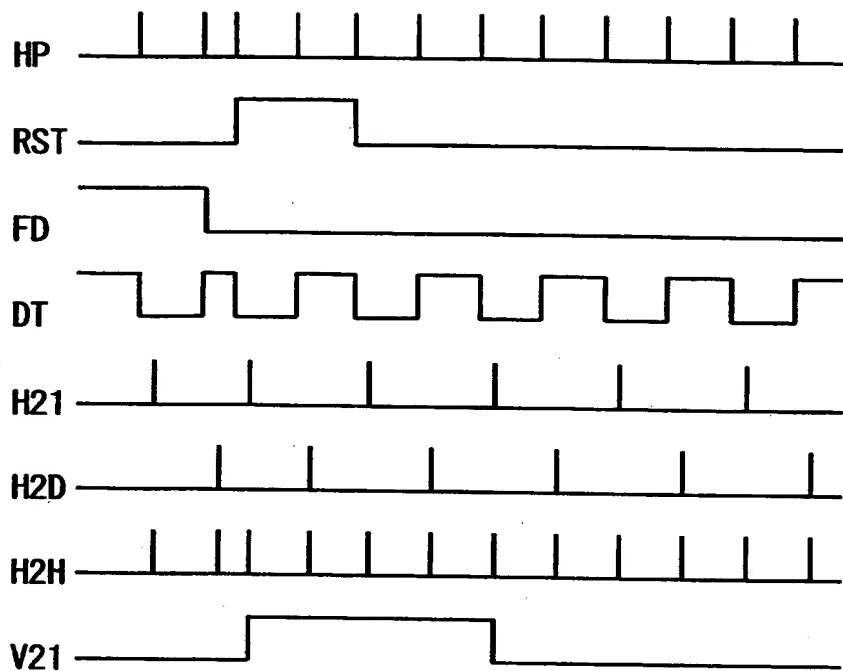
【図 3 2】



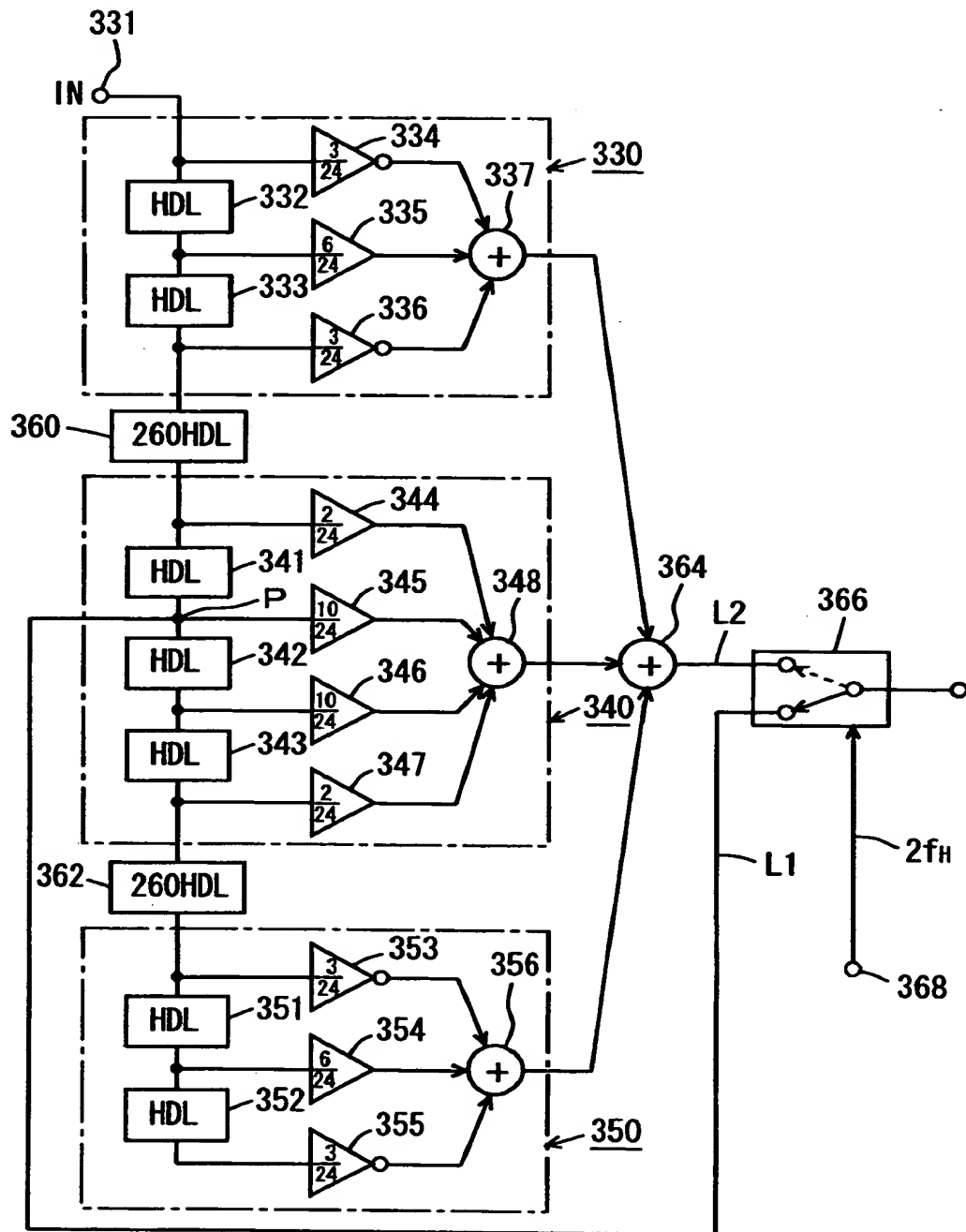
【図33】



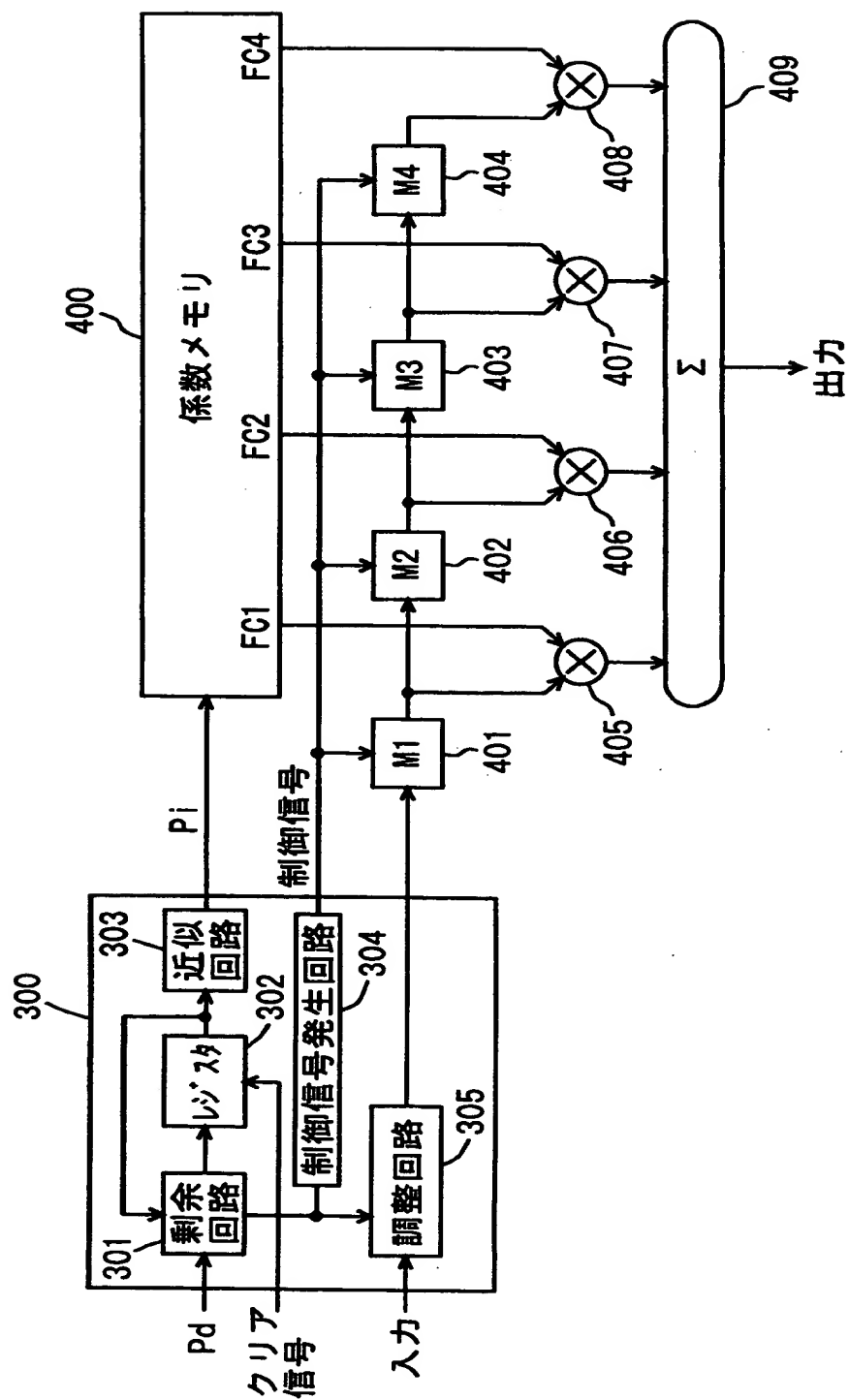
【図34】



【図 35】



【図37】



【書類名】 要約書

【要約】

【課題】 一カ所に蓄えられた少ないデータ量の映像信号を用いて1つのシステムとして総合的に無駄なく、垂直周波数変換、I P変換、走査線変換および水平画素変換を行い、映像信号をマトリックス表示を行う表示装置に適する映像信号に変換することができる映像信号変換装置を提供する。

【解決手段】 フィールドメモリ部7にI P変換および走査線変換に必要なフィールドの映像データを蓄え、フィールドメモリ部7に蓄えられたデータを用いて、メモリ制御処理部2により垂直周波数変換が行われ、I P変換処理部3によりI P変換が行われ、走査線変換処理部4により走査線変換が行われ、水平画素変換処理部5により水平画素変換が行われる。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日	1990年 8月28日
[変更理由]	新規登録
住 所	大阪府門真市大字門真1006番地
氏 名	松下電器産業株式会社

THIS PAGE BLANK (USPTO)